

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Jun KOYAMA et al.                      Art Unit : Unknown  
Serial No. : Not yet assigned                      Examiner : Unknown  
Filed : April 17, 2001  
Title : SELF-LUMINOUS DEVICE AND ELECTRIC MACHINE USING THE SAME



Commissioner for Patents  
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application: Japan Application No. 2000-114592 filed April 17, 2000. A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: April 17, 2001

William D. Hare  
William D. Hare  
Reg. No. 44,739

Fish & Richardson P.C.  
601 Thirteenth Street, NW  
Washington, DC 20005  
Telephone: (202) 783-5070  
Facsimile: (202) 783-2331

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月17日

出 願 番 号

Application Number:

特願2000-114592

出 願 人

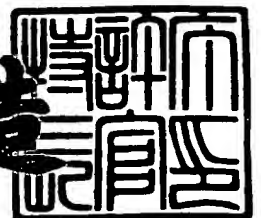
Applicant (s):

株式会社半導体エネルギー研究所

2001年 3月 2日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3012536

【書類名】 特許願

【整理番号】 P004850

【提出日】 平成12年 4月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 31/12

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 小山 潤

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 犬飼 和隆

【特許出願人】

    【識別番号】 000153878

    【氏名又は名称】 株式会社半導体エネルギー研究所

    【代表者】 山崎 舜平

【手数料の表示】

    【予納台帳番号】 002543

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 自発光装置及びそれを用いた電気器具

【特許請求の範囲】

【請求項 1】

絶縁体上に形成された電流制御用 T F T のゲート電極が、ゲート絶縁膜を挟んで分離半導体膜と重なっていることを特徴とする自発光装置。

【請求項 2】

請求項 1 において、前記分離半導体膜が、電源供給線と電氣的に接続されていることを特徴とする自発光装置。

【請求項 3】

請求項 1 又は請求項 2 において、電流制御用 T F T のソース領域及び前記分離半導体膜は、前記絶縁体上に形成されており、電流制御用 T F T の前記ソース領域及び前記分離半導体膜は半導体膜からなり、各々孤立して形成されていることを特徴とする自発光装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、前記ソース領域と前記分離半導体膜は、各々電源供給線と電氣的に接続されていることを特徴とする自発光装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、前記分離半導体膜は、前記ゲート絶縁膜を挟んで前記ゲート電極と重なった領域を有し、前記重なった領域において、前記分離半導体膜の 6 0 % 以上の領域が前記ゲート電極と重なっていることを特徴とする自発光装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、前記分離半導体膜は、絶縁膜を挟んで前記電源供給線と重なっていることを特徴とする自発光装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一において、前記分離半導体膜は、前記絶縁膜を挟んで前記電源供給線と重なった領域を有し、前記重なった領域において、

前記分離半導体膜の60%以上の領域が前記電源供給線と重なっていることを特徴とする自発光装置。

【請求項8】

請求項1乃至請求項7のいずれか一において、前記ゲート電極は、絶縁膜を挟んで前記電源供給線と重なっていることを特徴とする自発光装置。

【請求項9】

請求項1乃至請求項8のいずれか一に記載の自発光装置において、ピッチが100～140 $\mu$ mである画素の開口率が、50～80%であることを特徴とする自発光装置。

【請求項10】

請求項1乃至請求項9のいずれか一に記載の自発光装置を用いたことを特徴とする電気器具。

【請求項11】

請求項1乃至請求項9のいずれか一に記載の自発光装置を有し、かつ該自発光装置は、時分割階調方式により画像の階調表示が行われることを特徴とする電気器具。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成された自発光装置（または、EL表示装置という）及びその自発光装置を表示ディスプレイ（表示部）として有する電気器具に関する。

【0002】

【従来の技術】

近年、基板上にTFTを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたTFTは、従来のアモルファスシリコン膜を用いたTFTよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。

【0003】

アクティブマトリクス型自発光装置の画素構造は図 3 に示すようなものが一般的である。図 3 において、301 はスイッチング素子として機能する T F T（以下、スイッチング用 T F T という）、302 は E L 素子 303 に供給する電流を制御するための素子（電流制御素子）として機能する T F T（以下、電流制御用 T F T という）、304 はコンデンサ（保持容量）である。スイッチング用 T F T 301 はゲート配線 305 及びソース配線（データ線）306 に接続されている。また、電流制御用 T F T 302 のドレイン領域は E L 素子 303 に、ソース領域は電源供給線 307 に接続されている。

## 【 0 0 0 4 】

ゲート配線 305 が選択されるとスイッチング用 T F T 301 のゲートが開き、ソース配線 306 のデータ信号がコンデンサ 304 に蓄積され、電流制御用 T F T 302 のゲートが開く。そして、スイッチング用 T F T 301 のゲートが閉じた後、コンデンサ 304 に蓄積された電荷によって電流制御用 T F T 302 のゲートは開いたままとなり、その間、E L 素子 303 が発光する。この E L 素子 303 の発光量は流れる電流量で変化する。

## 【 0 0 0 5 】

つまり、アナログ駆動の階調表示において、ソース配線 306 から入力されるデータ信号によって電流制御用 T F T 302 のゲートに流れる電流量が制御され、E L 素子の発光量が変化するのである。

## 【 0 0 0 6 】

図 4（A）は電流制御用 T F T のトランジスタ特性を示すグラフであり、401 は  $I_d - V_g$  特性（又は  $I_d - V_g$  曲線）と呼ばれている。ここで  $I_d$  はドレイン電流であり、 $V_g$  はゲート電圧である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

## 【 0 0 0 7 】

通常、E L 素子を駆動するにあたって、上記  $I_d - V_g$  特性の点線 402 で示した領域を用いる。402 で囲んだ領域の拡大図を図 4（B）に示す。

## 【 0 0 0 8 】

図 4（B）において、斜線で示す領域はサブスレッショルド領域と呼ばれてい

る。実際にはしきい値電圧 ( $V_{th}$ ) 近傍又はそれ以下のゲート電圧である領域を指し、この領域ではゲート電圧の変化に対して指数関数的にドレイン電流が変化する。この領域を使ってゲート電圧による電流制御を行う。

## 【0009】

図3におけるスイッチング用TFT301が開いて画素内に入力されたデータ信号は、まずコンデンサ304に蓄積され、その信号がそのまま電流制御用TFT302のゲート電圧となる。このとき、図4(A)に示した $I_d - V_g$ 特性に従ってゲート電圧に対してドレイン電流が1対1で決まる。即ち、データ信号に対応して所定の電流がEL素子303を流れ、その電流量に対応した発光量で前記EL素子303が発光する。

## 【0010】

以上のように、入力される信号によってEL素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式はいわゆるアナログ階調と呼ばれる方式であり、信号の振幅の変化で階調表示が行われる。

## 【0011】

しかしながら、上記アナログ階調方式はTFTの特性バラツキに非常に弱いという欠点がある。例えばスイッチング用TFTの $I_d - V_g$ 特性が同じ階調を表示する隣接画素のスイッチング用TFTと異なる場合（全体的にプラス又はマイナス側へシフトした場合）を想定する。

## 【0012】

その場合、各スイッチング用TFTのドレイン電流はバラツキの程度にもよるが異なるものとなり、各画素の電流制御用TFTには異なるゲート電圧がかかることになる。即ち、各EL素子に対して異なる電流が流れ、結果として異なる発光量となり、同じ階調表示を行えなくなる。

## 【0013】

また、仮に各画素の電流制御用TFTに等しいゲート電圧がかかったとしても、電流制御用TFTの $I_d - V_g$ 特性にバラツキがあれば、同じドレイン電流を出力することはできない。さらに、図4(A)からも明らかなようにゲート電圧の変化に対して指数関数的にドレイン電流が変化するような領域を使っているた

め、 $I_d - V_g$ 特性が僅かでもずれば、等しいゲート電圧がかかっても出力される電流量は大きく異なるといった事態が生じうる。こうなってしまうとEL素子の発光量が隣接画素で大きく異なってしまう。

## 【0014】

実際には、スイッチング用TFTと電流制御用TFTとの、両者のバラツキの相乗効果となるので条件的にはさらに厳しい。このように、アナログ階調方式はTFTの特性バラツキに対して極めて敏感であり、その点が従来のアクティブマトリクス型自発光装置の多色カラー化における障害となっている。

## 【0015】

## 【発明が解決しようとする課題】

本発明は上記問題点を鑑みてなされたものであり、鮮明な多階調カラー表示の可能なアクティブマトリクス型自発光装置を提供することを課題とする。そして、そのようなアクティブマトリクス型自発光装置を表示部として具備する高性能な電気器具を提供することを課題とする。

## 【0016】

## 【課題を解決するための手段】

本出願人は、TFT特性のバラツキの影響を受けにくい画素構造とするためには、電流制御によってEL素子の発光量を制御する従来のアナログ駆動の階調方式よりも、電流制御用TFTを単に電流供給用のスイッチング素子として用いたデジタル駆動の階調方式の方が良いと考えた。

## 【0017】

そこで、アクティブマトリクス型自発光装置においてデジタル駆動で、時間分割方式の階調表示（以下、時分割階調という）を行うことを考えた。

## 【0018】

さらに、ソース駆動回路にビデオ信号を入力する際、ビデオ線を分割して、一度に複数のデータを入力することで、パネル表示の高速化を実現した。なお、ここでいうビデオ信号は、本明細書中のソース駆動回路に入力されるデータ信号のことである。

## 【0019】



図 5 に時分割階調表示を行う際の書込期間と表示期間の駆動タイミング全体を示す。ここでは 6 ビットデジタル駆動方式により 6 4 階調表示を行う場合について説明する。なお、書込期間とは、1 フレームを構成する全ての画素に信号が書き込まれるのに要する時間であり、表示期間とは、書込に対して画素表示が行われる期間を示している。

#### 【 0 0 2 0 】

書込期間では E L 駆動電源を切り（全画素消灯）、画素内の E L 素子に電圧がかからない状態にする。また、表示期間では E L 駆動電源を入れ、画素内の E L 素子に電圧がかかる状態にしてある。このとき画素が点灯するデータ信号が入力されると画素は点灯する。

#### 【 0 0 2 1 】

表示領域の画像が完全に表示される期間を 1 フレームと呼ぶ。通常の E L ディスプレイでは発振周波数は 6 0 H z であり、図 5 ( a ) に示すように 1 秒間には、6 0 フレーム存在することになる。例えば 4 番目の 1 フレームにおいて 6 ビットデジタル階調（6 4 階調）表示を行う場合、1 フレームを 1 6 分割して書込期間と表示期間の比率を 6 : 1 0 に決めると図 5 ( b ) に示すように書込期間（≒ 6 . 2 4 m s e c ）に 6 回の書込ができる。なお、この 6 回の書込を書き込む順に書込 1 から書込 6 とする。また、書込期間（書込 1 から書込 6 ）に対応する表示期間をそれぞれ表示 1 から表示 6 とする。

#### 【 0 0 2 2 】

また、表示期間については、表示 1 : 表示 2 : 表示 3 : 表示 4 : 表示 5 : 表示 6 = 1 : 1 / 2 : 1 / 4 : 1 / 8 : 1 / 1 6 : 1 / 3 2 となるように設定する。

#### 【 0 0 2 3 】

図 5 ( c ) は、1 フレーム中で 6 回の書込（書込 1 から書込 6 ）を行う際、各表示期間が、それぞれの書込に対して上記の比になる様子を示したものである。

ここで、図 5 ( c ) の下部に示されている数値は、書込期間と表示期間の長さの関係を示すものである。

#### 【 0 0 2 4 】

具体的には、書込 1 における表示期間（表示 1）は、書込期間を 6 3 としたと

きに320に値することを示している。さらに、各書込期間が63であるのに対して、表示2は表示期間が160、表示3は表示期間が80、表示4は表示期間が40、表示5は表示期間が20、表示6は表示期間が10にそれぞれ値することを示している。

#### 【0025】

1書込期間（書込）と1表示期間（表示）をあわせて1フィールドという。つまり、図5（c）には、書込期間が全て一定で表示期間の異なる6つのフィールドが存在することになる。ここで1フレームを完成させるためにははじめに表示される1つ目のフィールドをフィールド1（F1）と呼び、以下表示される順に2つ目のフィールドから6つ目のフィールドまでをフィールド2（F2）～フィールド6（F6）と呼ぶ。

但し、フィールド1からフィールド6を出現させる順序はどのようにしても良い。この表示期間の組み合わせで64階調のうち所望の階調表示を行うことができる。

#### 【0026】

また、実際のタイミングは、図5（d）に示すように表示期間の異なる6つのフィールドを分散させた組み合わせにする。

#### 【0027】

図5（d）においては、表示1の期間、所定の画素を点灯させるとすると次に、書込5に入り、全画素にデータ信号を入力したら表示5に入る。つぎに書込4で全画素にデータ信号を入力したら表示4に入る。このようにして、書込2、書込3、書込6においても同様にそれぞれのフィールドで表示所定の画素を点灯させる。

#### 【0028】

図5（e）は、図5（d）に示された6つのフィールドのフィールド5においてゲート回路から入力されるデータ信号によってあるゲート配線が選択されるというデータが書き込まれる期間（書込5）と、選択されたゲート配線にソース配線からの信号が入力されて画素が表示される表示期間（表示5）を示したものである。

## 【0029】

図5は、VGA（640×480）のパネル表示をもとにしているため、ゲート配線は480本であり、さらに何本かのダミーを含むゲート配線全てを選択する期間が、図5（e）の書込期間である。

## 【0030】

書込期間においてソース配線から入力される信号をドットデータという。1ゲート選択期間にソース駆動回路から入力されるドットデータは、図5（f）に示す期間でサンプリングされる。これは、図5（e）に示す書込期間に選択されるゲートのデータが書き込まれると同時にソース配線から入力された信号が書き込まれていることを示している。なお、データが一度にサンプリングされる期間は、40nsec.である。

## 【0031】

なお、ソース駆動回路から入力されるドットデータは、図5（f）に示すように16個ずつ40nsec.ごとに同時に入力される。

## 【0032】

さらに、1ゲート選択期間に選択されるドットデータは、全てのデータサンプリングがなされるまで、図6に示すソース駆動回路内のラッチ1（6001）にそれぞれ保持され、全てのサンプリングが終了した後にラッチ線6003からラッチデータが入力されて、全てのデータが一斉にラッチ2（6002）に移動する。なお、シフトレジスタ6004は、クロック線6005からのクロックパルスによりビデオ線6006から入力されるビデオ信号を選択している。

## 【0033】

図5（f）中にサンプリング期間の他に設けられているラインデータラッチ期間とは、ラッチ1（6001）からラッチ2（6002）にデータを移動させる際にラッチ信号が入力され、データが移動する期間のことをいう。

## 【0034】

本発明におけるアクティブマトリクス型自発光装置の画素構造を図7に示す。図7において、701はスイッチング素子として機能するTFT（以下、スイッチング用TFTまたは、画素スイッチTFTという）、702はEL素子703

に供給する電流を制御するための素子（電流制御素子）として機能するTFT（以下、電流制御用TFTまたはEL駆動TFTという）、704はコンデンサ（保持容量または、補助容量という）である。スイッチング用TFT701はゲート配線705及びソース配線（データ線）706に接続されている。また、電流制御用TFT702のドレイン領域はEL素子703に、ソース領域は電源供給線（または、電流供給線という）707に接続されている。

#### 【0035】

ゲート配線705が選択されるとスイッチング用TFT701のゲートが開き、ソース配線706のデータ信号がコンデンサ704に蓄積され、電流制御用TFT702のゲートが開く。そして、スイッチング用TFT701のゲートが閉じた後、コンデンサ704に蓄積された電荷によって電流制御用TFT702のゲートは開いたままとなり、その間、EL素子703が発光する。このEL素子703の発光量は流れる電流量で変化する。

#### 【0036】

つまり、デジタル駆動の階調表示において、ソース配線706から入力されるデータ信号によって電流制御用TFT702のゲートが開または閉になり、EL駆動電源が入ると電流が流れ、EL素子が発光するのである。

#### 【0037】

画素の電流制御用TFTの機能は、表示期間に当該画素を点灯（表示）させるか消灯（非表示）させるかを制御することである。表示期間と書込期間の切り替えは、右のパネル外の電源がFPC端子を通して行う。

#### 【0038】

また、パネル外に取り付けられた電源（図7の72の709）は、書込期間と表示期間を切り替えるためのスイッチ機能を果たしている。書込期間では、この電源を切った状態（電圧を加えない状態）で、各画素にデータ信号を入力していく。

#### 【0039】

そして、全ての画素にデータが入力されて書込期間が終了したら、電源（図7の72の709）を入れ、一斉に表示を行う。この期間が表示期間となる。EL

素子が発光し画素を点灯させる期間は6つのフィールドのうち表示1～表示6までのいずれかの期間である。

#### 【0 0 4 0】

6つのフィールドが出現したら1フレームを終えたことになる。このとき、表示期間の積算によってその画素の階調が制御される。例えば、表示1と表示2を選択した場合には全灯を100%としたうちの76%の輝度が表現でき、表示3と表示5を選択した場合には16%の輝度が表現できる。

#### 【0 0 4 1】

なお、以上は64階調の場合について説明したが、他の階調表示を行うことも可能である。

#### 【0 0 4 2】

仮にNビット（Nは2以上の整数）の階調（ $2^N$ 階調）の表示を行う場合には、図8に示すように、まず1フレームをNビットの階調に対応させてN枚のフィールド（F1、F2、F3…F(n-1)、F(n)と表す）に分割する。階調が多くなるにつれて1フレームの分割数も増え、駆動回路を高い周波数で駆動しなければならない。

#### 【0 0 4 3】

さらに、これらN枚の各フィールドは書込期間（Ta）及び表示期間（Ts）に分離される。

#### 【0 0 4 4】

そして、N枚の各フィールドの表示期間（但し、F1、F2、F3…F(n-1)、F(n)に対応する表示期間を各々Ts1、Ts2、Ts3…Ts(n-1)、Ts(n)と表す）をTs1 : Ts2 : Ts3 : … : Ts(n-1) : Ts(n) =  $2^0 : 2^{-1} : 2^{-2} : … : 2^{-(n-2)} : 2^{-(n-1)}$ となるように処理する。

#### 【0 0 4 5】

この状態で、任意の1フィールドでは順次画素が選択され（厳密には各画素のスイッチング用TF Tが選択され）、電流制御用TF Tのゲート電極に所定のゲート電圧（データ信号に対応する）が加わる。このとき、電流制御用TF Tが導通状態になるようなデータ信号が入力された画素のEL素子は、書込期間終了後

、電源が入力されるとそのフィールドに割り当てられた表示期間だけ画素が点灯する。

#### 【0046】

この動作をN枚のフィールド全てにおいて繰り返し、その表示期間の積算によって1フレームにおける各画素の階調が制御される。従って、任意の1画素に注目すると、その画素が各フィールドでどれだけの期間点灯したか（どれだけの表示期間を経由したか）によって、その1画素の階調が制御される。

#### 【0047】

以上のように、アクティブマトリクス型自発光装置にデジタル駆動の時分割階調方式を用いる点が本発明の最大の特徴である。この時分割階調駆動を用いることでアナログ駆動の階調表示において問題であったTFT特性の影響を受けずに階調表示を行うことが可能となる。

#### 【0048】

##### 【発明の実施の形態】

図1は、本実施例のアクティブマトリクス型液晶表示装置の概略ブロック図である。図1のアクティブマトリクス型自発光装置は、基板上に形成されたTFTによって画素部101、画素部の周辺に配置されたデータ信号側駆動回路102、ゲート信号側駆動回路103が形成される。また、104は時分割階調データ信号発生回路（SPC；Serial-to-Parallel Conversion Circuit）である。

#### 【0049】

データ信号側駆動回路102は、シフトレジスタ102a、ラッチ1（102b）、ラッチ2（102c）を有している。その他、バッファ（図示せず）を有している。

#### 【0050】

なお、本実施例のアクティブマトリクス型自発光装置においては、データ信号側駆動回路を1つだけ設けているが、画素部の上下を挟むように2つのソース信号側駆動回路を設けても良い。

#### 【0051】

また、103はゲート信号側駆動回路であり、シフトレジスタ、バッファ等（

いずれも図示せず)を有している。

【0052】

画素部101は、640×480(横×縦)の画素を有している。各画素にはスイッチング用TFTおよび電流制御用TFTが配置されている。スイッチング用TFT105はゲート配線106及びソース配線(データ線)107に接続されている。また、電流制御用TFT108のドレイン領域はEL素子109に、ソース領域は電源供給線110に接続されている。

ゲート配線106が選択されるとスイッチング用TFT105のゲートが開き、ソース配線107のデータ信号がコンデンサ112に蓄積され、電流制御用TFT108のゲートが開く。つまり、ソース配線107から入力されるデータ信号により電流制御用TFT108に電流が流れ、EL素子が発光する。

【0053】

ここで、本実施例のアクティブマトリクス型自発光装置の動作および信号の流れを説明する。

【0054】

まず、データ信号側駆動回路102の動作を説明する。データ信号側駆動回路102は、基本的にシフトレジスタ102a、ラッチ1(102b)、ラッチ2(102c)を含む。シフトレジスタ102aにクロック信号(CK)およびスタートパルス(SP)が入力される。シフトレジスタ102aは、これらのクロック信号(CK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、バッファ(図示せず)を通して後段の回路へタイミング信号を順次供給する。

【0055】

シフトレジスタ102aからのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が供給されるソース配線には、多くの回路あるいは素子が接続されているために負荷容量(寄生容量)が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下りの”鈍り”を防ぐために、このバッファが設けられる。

【0056】

バッファによって緩衝増幅されたタイミング信号（デジタルデータ信号（Digital Data Signals））は、ラッチ 1（1 0 2 b）に供給される。ラッチ 1（1 0 2 b）は、6ビットデジタル信号（6bit digital signal）を処理するラッチを有する。ラッチ 1（1 0 2 b）は、前記タイミング信号が入力されると、時分割階調データ信号発生回路 1 0 4 から供給される 6ビットデジタルデータ信号を順次取り込み、保持する。

## 【 0 0 5 7 】

ラッチ 1（1 0 2 b）の全てのステージにデジタルデータ信号の書込が一通り終了するまでの時間を書込期間という。すなわち、ラッチ 1（1 0 2 b）の中で一番左側のステージのラッチにデジタルデータ信号が書き込まれる時点から、一番右側のステージのラッチにデジタルデータ信号の書込が終了する時点までが書込期間である。また、上記書込期間をライン期間と呼ぶこともある。

## 【 0 0 5 8 】

書込期間終了後、シフトレジスタ 1 0 2 a の動作タイミングに合わせて、ラッチ 2（1 0 2 b）にラッチシグナル（Latch Signal）が供給される。この瞬間、ラッチ 1（1 0 2 b）に書き込まれ保持されているデジタルデータ信号は、ラッチ 2（1 0 2 c）に一斉に送出され、ラッチ 2（1 0 2 c）に保持される。

## 【 0 0 5 9 】

デジタル信号をラッチ 2（1 0 2 c）に送出し終えたラッチ 1（1 0 2 b）には、シフトレジスタ 1 0 2 a からのタイミング信号に基づき、再び時分割階調データ信号発生回路 1 0 4 から供給されるデジタル信号の書込が順次行われる。

## 【 0 0 6 0 】

また、ラッチ 2（1 0 2 c）にはラッチ信号（Latch Signals）が入力される。

## 【 0 0 6 1 】

ゲート信号側駆動回路 1 0 3 においては、シフトレジスタ（図示せず）からのタイミング信号がバッファ（図示せず）に供給され、対応するゲート配線（走査線）に供給される。

## 【 0 0 6 2 】



104は時分割階調データ信号発生回路（SPC；Serial-to-Parallel Conversion Circuit）である。時分割階調データ信号発生回路104は、外部から入力されるデジタル信号の周波数を $1/m$ に落とすための回路である。外部から入力されるデジタル信号を分割することにより、駆動回路の動作に必要な信号の周波数も $1/m$ に落とすことができる。

#### 【0063】

本発明では画素部に入力されるデータ信号がデジタル信号であり、また液晶表示装置と異なり電圧階調表示ではないので、「0」または「1」の情報を有するデジタルデータ信号がそのまま画素部へと入力される。

#### 【0064】

画素部101にはマトリクス状に複数の画素104が配列される。画素104の拡大図を図1（B）に示す。図1（B）において、105はスイッチング用TFTであり、ゲート信号を入力するゲート配線106とビデオ信号を入力するソース配線107に接続されている。

#### 【0065】

また、108は電流制御用TFTであり、そのゲートはスイッチング用TFT105のドレイン領域に接続される。そして、電流制御用TFT108のドレイン領域はEL素子109に接続され、ソース領域は電源供給線110に接続される。EL素子109は電流制御用TFT108に接続された陽極（画素電極）と、EL層を挟んで陽極に対向して設けられた陰極（対向電極）とでなり、陰極は所定の電源111に接続されている。

#### 【0066】

なお、スイッチング用TFT105は、nチャネル型TFTでもpチャネル型TFTでもよい。

#### 【0067】

また、電流制御用TFT108においては、電流制御用TFT108が、nチャネル型TFTである場合には、電流制御用TFT108のドレイン部はEL素子109の陰極に接続され、電流制御用TFT108が、pチャネル型TFTである場合には、電流制御用TFT108のドレイン部はEL素子109の陽極に

接続される構造をとる。

【 0 0 6 8 】

また、スイッチング用 T F T 1 0 5 が非選択状態（オフ状態）にある時、電流制御用 T F T 1 0 8 のゲート電圧を保持するためにコンデンサ 1 1 2 が設けられる。このコンデンサ 1 1 2 はスイッチング用 T F T 1 0 5 のドレイン領域と電源供給線 1 1 0 とに接続されている。

【 0 0 6 9 】

以上のような画素部に入力されるデジタルデータ信号は、時分割階調データ信号発生回路 1 0 4 にて形成される。この回路ではデジタル信号でなるビデオ信号（画像情報を含む信号）を、時分割階調を行うためのデジタルデータ信号に変換すると共に、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路である。

【 0 0 7 0 】

典型的には、時分割階調データ信号発生回路 1 0 4 には、1 フレームを N ビット（N は 2 以上の整数）の階調に対応した複数のフィールドに分割する手段と、それら複数のフィールドにおいて書込期間及び表示期間を選択する手段と、その表示期間を  $Ts1 : Ts2 : Ts3 : \dots : Ts(n-1) : Ts(n) = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$  となるように設定する手段とが含まれる。

【 0 0 7 1 】

時分割階調データ信号発生回路 1 0 4 は、本発明の自発光装置の外部に設けても良いし、一体形成しても良い。自発光装置の外部に設けられる場合、そこで形成されたデジタルデータ信号が本発明の自発光装置に入力される構成となる。

【 0 0 7 2 】

次に、本発明のアクティブマトリクス型自発光装置について、断面構造の概略を図 2 に示す。

【 0 0 7 3 】

図 2 において、1 1 は基板、1 2 は下地となる絶縁膜（以下、下地膜という）である。基板 1 1 としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製

プロセス中の最高処理温度に耐えるものでなくてはならない。

【 0 0 7 4 】

また、下地膜 1 2 は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜 1 2 としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ $\text{SiO}_x\text{N}_y$ ：x、y は任意の整数、で示される）など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【 0 0 7 5 】

2 0 1 はスイッチング用 T F T であり、n チャネル型 T F T で形成されているが、スイッチング用 T F T は、p チャネル型としてもよい。また、2 0 2 は電流制御用 T F T であり、図 2 は、電流制御用 T F T 2 0 2 が p チャネル型 T F T で形成された場合を示している。つまり、この場合は、電流制御用 T F T のゲート電極は、E L 素子の陽極に接続される。しかし、電流制御用 T F T が n チャネル型 T F T で形成された場合には、電流制御用 T F T は E L 素子の陰極に接続される。

【 0 0 7 6 】

n チャネル型 T F T の電界効果移動度は p チャネル型 T F T の電界効果移動度よりも大きいため、動作速度が早く大電流を流しやすい。また、同じ電流量を流すにも T F T サイズは n チャネル型 T F T の方が小さくできる。

【 0 0 7 7 】

ただし、本発明において、スイッチング用 T F T と電流制御用 T F T を n チャネル型 T F T に限定する必要はなく、両方又はどちらか片方に p チャネル型 T F T を用いることも可能である。

【 0 0 7 8 】

スイッチング用 T F T 2 0 1 は、ソース領域 1 3、ドレイン領域 1 4、L D D 領域 1 5 a ~ 1 5 d、分離領域 1 6 及びチャネル形成領域 1 7 a、1 7 b を含む活性層、ゲート絶縁膜 1 8 a、1 8 b、ゲート電極 1 9 a、1 9 b、第 1 層間絶縁膜 2 0、ソース配線 2 1 並びにドレイン配線 2 2 を有して形成される。なお、ゲート

絶縁膜 1 8 a、1 8 b 又は第 1 層間絶縁膜 2 0 は基板上の全 T F T に共通であっても良いし、回路又は素子に応じて異ならせても良い。

## 【 0 0 7 9 】

また、図 2 に示すスイッチング用 T F T 2 0 1 はゲート電極 1 9 a、1 9 b が電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

## 【 0 0 8 0 】

マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用 T F T のオフ電流を十分に低くすれば、それだけ図 1 (B) に示すコンデンサ 1 1 2 に必要な容量を小さくすることができる。即ち、コンデンサ 1 1 2 の専有面積を小さくすることができるので、マルチゲート構造とすることは E L 素子 1 0 9 の有効発光面積を広げる上でも有効である。

## 【 0 0 8 1 】

さらに、スイッチング用 T F T 2 0 1 においては、L D D 領域 1 5 a ~ 1 5 d は、ゲート絶縁膜 1 8 a、1 8 b を介してゲート電極 1 7 a、1 7 b と重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、L D D 領域 1 5 a ~ 1 5 d の長さ（幅）は 2 . 0 ~ 1 2 . 0  $\mu$  m、代表的には 6 . 0 ~ 1 0 . 0  $\mu$  m とすれば良い。

## 【 0 0 8 2 】

なお、チャネル形成領域と L D D 領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層でなり、ゲート電圧が印加されない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域 1 6 （ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

## 【 0 0 8 3 】

次に、電流制御用 T F T 2 0 2 は、ソース領域 2 6、ドレイン領域 2 7、チャ

ネル形成領域 28、ゲート絶縁膜 18c、ゲート電極 29、第 1 層間絶縁膜 20、ソース配線 30 並びにドレイン配線 31 を有して形成される。なお、ゲート電極 29 はシングルゲート構造となっているが、マルチゲート構造であっても良い。

## 【0084】

図 1 (B) に示すように、スイッチング用 TFT のドレイン領域は電流制御用 TFT のゲートに接続されている。具体的には電流制御用 TFT 202 のゲート電極 29 はスイッチング用 TFT 201 のドレイン領域 14 とドレイン配線（接続配線とも言える）22 を介して電氣的に接続されている。また、ソース配線 30 は図 1 (B) の電源供給線 110 に接続される。

## 【0085】

また、流しうる電流量を多くするという観点から見れば、電流制御用 TFT 202 の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは 50～100 nm、さらに好ましくは 60～80 nm）ことも有効である。逆に、スイッチング用 TFT 201 の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは 20～50 nm、さらに好ましくは 25～40 nm）ことも有効である。

## 【0086】

以上は画素内に設けられた TFT の構造について説明したが、このとき同時に駆動回路も形成される。図 2 には駆動回路を形成する基本単位となる CMOS 回路が図示されている。

## 【0087】

図 2 においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有する TFT を CMOS 回路の n チャネル型 TFT 204 として用いる。なお、ここでいう駆動回路としては、図 1 に示したデータ信号駆動回路 102、ゲート信号駆動回路 103 を指す。勿論、他の論理回路（レベルシフタ、A/D コンバータ、信号分割回路等）を形成することも可能である。

## 【0088】

n チャネル型 204 の活性層は、ソース領域 35、ドレイン領域 36、LDD

領域 3 7 及びチャネル形成領域 3 8 を含み、LDD 領域 3 7 はゲート絶縁膜 1 8 d を介してゲート電極 3 9 と重なっている。本明細書中では、この LDD 領域 3 7 を L o v 領域ともいう。

## 【 0 0 8 9 】

ドレイン領域側のみに LDD 領域を形成しているのは、動作速度を落とさないための配慮である。また、この n チャネル型 TFT 2 0 4 はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、LDD 領域 3 7 は完全にゲート電極に重ねてしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

## 【 0 0 9 0 】

また、CMOS 回路の p チャネル型 TFT 2 0 5 は、ホットキャリア注入による劣化が殆ど気にならないので、特に LDD 領域を設けなくても良い。従って活性層はソース領域 4 0、ドレイン領域 4 1 及びチャネル形成領域 4 2 を含み、その上にはゲート絶縁膜 1 8 e とゲート電極 4 3 が設けられる。勿論、n チャネル型 TFT 2 0 4 と同様に LDD 領域を設け、ホットキャリア対策を講じることも可能である。

## 【 0 0 9 1 】

また、n チャネル型 TFT 2 0 4 及び p チャネル型 TFT 2 0 5 はそれぞれ第 1 層間絶縁膜 2 0 に覆われ、ソース配線 4 4、4 5 が形成される。また、ドレイン配線 4 6 によって両者は電氣的に接続される。

## 【 0 0 9 2 】

また、4 7 は第 2 層間絶縁膜であり、TFT によってできる段差の平坦化を行う平坦化膜としての機能を有する。第 2 層間絶縁膜 4 7 としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL 層は凹凸に非常に敏感であるため、TFT による段差は第 2 層間絶縁膜で殆ど吸収してしまうことが望ましい。また、ゲート配線やデータ配線と EL 素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は 0. 5

～5  $\mu\text{m}$  (好ましくは1.5～2.5  $\mu\text{m}$ ) が好ましい。

【0093】

また、48は酸化物導電膜でなる画素電極（EL素子の陽極）であり、第2層間絶縁膜47にコンタクトホール（開孔）を開けた後、形成された開孔部において電流制御用TFT202のドレイン配線32に接続されるように形成される。次に、絶縁膜49、50を形成する。絶縁膜49、50は、珪素を含む絶縁膜もしくは、有機樹脂膜をパターンングして形成すればよい。絶縁膜は、画素電極と画素電極との間を埋めるように形成され、このあと形成される発光層等の有機EL材料が、画素電極48の端部を覆わないようにするために設けられる。また、絶縁膜49は、画素電極48の凹部を埋めるように設けられ、この部分におけるEL素子の陰極と画素電極とのショートを防ぐ効果を持つ。

【0094】

絶縁膜49、50の上にはEL層51が設けられる。EL層51は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率が良い。一般的には画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に形成されるが、正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層のような構造でも良い。本発明では公知のいずれの構造を用いても良いし、EL層に対して蛍光性色素等をドーピングしても良い。

【0095】

有機EL材料としては、例えば、以下の米国特許又は公開公報に開示された材料を用いることができる。米国特許第4,356,429号、米国特許第4,539,507号、米国特許第4,720,432号、米国特許第4,769,292号、米国特許第4,885,211号、米国特許第4,950,950号、米国特許第5,059,861号、米国特許第5,047,687号、米国特許第5,073,446号、米国特許第5,059,862号、米国特許第5,061,617号、米国特許第5,151,629号、米国特許第5,294,869号、米国特許第5,294,870号、特開平10-189525号公報、特開平8-241048号公報、特開平8-78159号公報。

## 【 0 0 9 6 】

なお、自発光装置には大きく分けて四つのカラー化表示方式があり、R（赤）G（緑）B（青）に対応した三種類のEL素子を形成する方式、白色発光のEL素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を使用してRGBに対応したEL素子を重ねる方式がある。

## 【 0 0 9 7 】

EL層51の上にはEL素子の陰極52が設けられる。陰極52としては、仕事関数の小さいマグネシウム（Mg）、リチウム（Li）若しくはカルシウム（Ca）を含む材料を用いる。好ましくはMgAg（MgとAgをMg：Ag＝10：1で混合した材料）でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

## 【 0 0 9 8 】

陰極52はEL層51を形成した後、大気解放しないで連続的に形成することが望ましい。陰極52とEL層51との界面状態はEL素子の発光効率に大きく影響するからである。なお、本明細書中では、画素電極（陽極）、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

## 【 0 0 9 9 】

EL層51と陰極52とでなる積層体は、各画素で個別に形成する必要があるが、EL層51は水分に極めて弱いため、通常のフォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

## 【 0 1 0 0 】

なお、EL層を選択的に形成する方法として、インクジェット法やスクリーン印刷法等を用いることも可能であるが、これらは現状では陰極の連続形成ができないので、上述の方法の方が好ましいと言える。

## 【 0 1 0 1 】

また、53は保護電極であり、陰極52を外部の水分等から保護すると同時に



、各画素の陰極 5 2 を接続するための電極である。保護電極 5 3 としては、アルミニウム (A l)、銅 (C u) 若しくは銀 (A g) を含む低抵抗な材料を用いることが好ましい。この保護電極 5 3 には E L 層の発熱を緩和する放熱効果も期待できる。また、上記 E L 層 5 1、陰極 5 2 を形成した後、大気解放しないで連続的に保護電極 5 3 まで形成することも有効である。

#### 【 0 1 0 2 】

本発明の主旨は、アクティブマトリクス型自発光装置において、アナログ駆動の階調表示をデジタル駆動の時分割階調表示にすることで、これまでアナログ駆動の階調において問題となっていた T F T のバラツキの問題を改善したというものである。従って、図 2 の自発光装置の構造に限定されるものではなく、図 2 の構造は本発明を実施する上での好ましい形態の一つに過ぎない。

#### 【 0 1 0 3 】

上記ポリシリコン膜を用いた T F T は、高い動作速度を示すが故にホットキャリア注入などの劣化も起こりやすい。そのため、図 2 のように、画素内において機能に応じて構造の異なる T F T (オフ電流の十分に低いスイッチング用 T F T と、ホットキャリア注入に強い電流制御用 T F T) を形成することは、高い信頼性を有し、且つ、良好な画像表示が可能な (動作性能の高い) 自発光装置を作製する上で非常に有効である。

#### 【 0 1 0 4 】

##### 〔実施例 1〕

本発明の実施例について図 9 ～図 1 6 および表 1 ～4 を用いて説明する。

ここでは、本発明を実施する上で用いる画素部とその周辺に設けられる駆動回路構成およびその仕様 (サイズおよび電圧値等)、さらに入力される信号について説明する。

図 9 は、上面 (陰極成膜側) からみたパネル全体の平面図である。ここで、表示は下面に向かってなされる。図 9 において 9 0 1 は画素部であり、9 0 2 はソース駆動回路、9 0 3 はゲート駆動回路、9 0 4 はフレキシブルプリントサーキット (以下 F P C) 入力部である。なお、本実施例において用いた F P C は、5 0 0  $\mu$  m ピッチで 5 0  $\times$  2 本の端子を有する。

【 0 1 0 5 】

本実施例において図 9 の F P C 入力部 ( 1 ) 9 0 4 a 及び F P C 入力部 ( 2 ) 9 0 4 b は、図 1 0 に示すような F P C 入力部の保護回路を有する。なお、F P C 入力端子部の保護回路を有するのは、図 9 中の F P C 入力部 ( 1 ) 9 0 4 a 及び F P C 入力部 ( 2 ) 9 0 4 b の上部に付けられている番号 ( 1 ~ 1 0 0 ) のうちの 1 ~ 1 9、8 2 ~ 1 0 0 を除く部分である。

【 0 1 0 6 】

さらに、本実施例において用いた F P C 入力端子の仕様を表 1 に示す。なお、表 1 に示されている「端子 No.」は、図 9 中の F P C 入力部 ( 1 ) 9 0 4 a 及び F P C 入力部 ( 2 ) 9 0 4 b の上部に付けられている番号 ( 1 ~ 1 0 0 ) と対応している。

【 0 1 0 7 】

【表1】

端子No.	端子記号	信号形式	電圧値 (範囲) [V]	備考 (信号名称等)
		任意		パッドのみ
1・100	EL_CATH	非平衡	約4 (0.0~9.0)/9	EL駆動直流電源 (負端子)
2・99	EL_CATH	非平衡	約4 (0.0~9.0)/9	EL駆動直流電源 (負端子)
3・98	EL_CATH	非平衡	約4 (0.0~9.0)/9	EL駆動直流電源 (負端子)
4・97	EL_CATH	非平衡	約4 (0.0~9.0)/9	EL駆動直流電源 (負端子)
5・96	EL_CATH	非平衡	約4 (0.0~9.0)/9	EL駆動直流電源 (負端子)
6・95	EL_CATH	非平衡	約4 (0.0~9.0)/9	EL駆動直流電源 (負端子)
7・94	EL_CATH	非平衡	約4 (0.0~9.0)/9	EL駆動直流電源 (負端子)
8・93	EL_CATH	非平衡	約4 (0.0~9.0)/9	EL駆動直流電源 (負端子)
9・92	EL_CATH	非平衡	約4 (0.0~9.0)/9	EL駆動直流電源 (負端子)
10・91	EL_ANOD	電源	9.0	EL駆動直流電源 (正端子)
11・90	EL_ANOD	電源	9.0	EL駆動直流電源 (正端子)
12・89	EL_ANOD	電源	9.0	EL駆動直流電源 (正端子)
13・88	EL_ANOD	電源	9.0	EL駆動直流電源 (正端子)
14・87	EL_ANOD	電源	9.0	EL駆動直流電源 (正端子)
15・86	EL_ANOD	電源	9.0	EL駆動直流電源 (正端子)
16・85	EL_ANOD	電源	9.0	EL駆動直流電源 (正端子)
17・84	EL_ANOD	電源	9.0	EL駆動直流電源 (正端子)
18・83	EL_ANOD	電源	9.0	EL駆動直流電源 (正端子)
19・82	EL_ANOD	電源	9.0	EL駆動直流電源 (正端子)
20・81	G_CK	平衡	0.0/10.0	ゲート駆動回路クロック信号
21・80	G_VDD	電源	10.0	ゲート駆動回路正電源
22・79	G_GND	電源	0.0	ゲート駆動回路負電源
23・78	G_SP	非平衡	0.0/10.0	ゲート駆動回路スタートパルス信号
24・77	G_U/D	電源	0.0または10.0	ゲート駆動回路走査方向切替 (10.0:下方向走査、0.0:上方向走査)
25・76	G_VDH	電源	10.0 (~14.0)	ゲート駆動回路正電源
26・75	S_LATb	非平衡	0.0/9.0	ソース駆動回路ラッチ反転信号
27・74	S_LAT	非平衡	0.0/9.0	ソース駆動回路ラッチ信号
28・73	VD_16	非平衡	0.0/9.0	デジタルビデオ信号16
29・72	VD_15	非平衡	0.0/9.0	デジタルビデオ信号15
30・71	VD_14	非平衡	0.0/9.0	デジタルビデオ信号14
31・70	VD_13	非平衡	0.0/9.0	デジタルビデオ信号13
32・69	VD_12	非平衡	0.0/9.0	デジタルビデオ信号12
33・68	VD_11	非平衡	0.0/9.0	デジタルビデオ信号11
34・67	VD_10	非平衡	0.0/9.0	デジタルビデオ信号10
35・66	VD_09	非平衡	0.0/9.0	デジタルビデオ信号9
36・65	VD_08	非平衡	0.0/9.0	デジタルビデオ信号8
37・64	VD_07	非平衡	0.0/9.0	デジタルビデオ信号7
38・63	VD_06	非平衡	0.0/9.0	デジタルビデオ信号6
39・62	VD_05	非平衡	0.0/9.0	デジタルビデオ信号5
40・61	VD_04	非平衡	0.0/9.0	デジタルビデオ信号4
41・60	VD_03	非平衡	0.0/9.0	デジタルビデオ信号3
42・59	VD_02	非平衡	0.0/9.0	デジタルビデオ信号2
43・58	VD_01	非平衡	0.0/9.0	デジタルビデオ信号1
44・57	S_VDD	電源	9.0	ソース駆動回路正電源
45・56	S_GND	電源	0.0	ソース駆動回路負電源
46	S_L/R	電源	0.0または9.0	ソース駆動回路走査方向切替 (9.0:右方向走査、0.0:左方向走査)
47・54	S_Ckb	平衡	0.0/9.0	ソース駆動回路クロック反転信号
48・53	S_CK	平衡	0.0/9.0	ソース駆動回路クロック信号
49・52	S_SP	非平衡	0.0/9.0	ソース駆動回路スタートパルス信号
50・51	NC	任意		パネル内接続無し No.55端子も同じ
		任意		パッドのみ

【0108】

次に、図9のゲート駆動回路903の詳細な回路図を図11に示す。ゲート駆動回路における正電源電圧は10Vであり、負電源電圧は0V、ゲート駆動回路に入力される動作クロックの周波数は、250kHzである。また、このゲート

駆動回路は、走査方向の切り替え機能を有する。

【0109】

図11における記号  $g\_chsw\_a$  は、走査方向切り替えスイッチ、 $g\_sft\_r\_b$ 、 $g\_sft\_r\_c$ 、 $g\_sft\_r\_d$  は、シフトレジスタの一部であり、 $g\_nand\_e$  は、NAND回路、 $g\_buff\_f$ 、 $g\_buff\_i$ 、 $g\_buff\_k$ 、 $g\_buff\_m$ 、 $g\_buff\_n$ 、 $g\_buff\_p$  は、バッファを示す。また、 $g\_clk\_g$ 、 $g\_clk\_h$  は、クロック回路を示す。

【0110】

本実施例では、図11中の破線で囲まれている部分、つまり  $g\_sft\_r\_b$ 、 $g\_sft\_r\_c$ 、 $g\_sft\_r\_d$ 、 $g\_clk\_g$ 、 $g\_clk\_h$  から構成される部分をシフトレジスタ (11001) という。

【0111】

本実施例のゲート駆動回路を構成するシフトレジスタ、NAND回路、バッファに含まれる TFT のサイズを表2に示す。

シフトレジスタ、NAND回路、バッファには、p型のTFTおよびN型のTFTが用いられているので、それぞれについて示した。表2中のサイズは、図11に示されている記号にそれぞれ対応している。また、表中において  $L [\mu m]$  は、TFTのチャネル長を示し、 $W [\mu m]$  は、TFTのチャネル幅を示す。

【0112】

【表 2】

Pch-TFT	L[ $\mu$ m]	W[ $\mu$ m]	Nch-TFT	L[ $\mu$ m]	W[ $\mu$ m]	W[ $\mu$ m]
g_clk_g	5.0	20.0	g_clk_g	7.0	2.0	13.0
g_clk_h	5.0	20.0	g_clk_h	7.0	2.0	13.0
g_chsw_a	5.0	20.0	g_chsw_a	9.0	2.0	10.0
g_sftr_b	5.0	20.0	g_sftr_b	7.0	2.0	10.0
g_sftr_c	5.0	30.0	g_sftr_c	7.0	2.0	15.0
g_sftr_d	5.0	20.0	g_sftr_d	7.0	2.0	10.0
g_nand_e	5.0	30.0	g_nand_e	7.0	2.0	28.0
g_buff1_f	5.0	20.0	g_buff1_f	7.0	2.0	13.0
g_lvsh_i	8.0	10.0	g_lvsh_i	10.0	2.0	30.0
g_lvsh_k	8.0	18.0	g_lvsh_k	10.0	2.0	40.0
g_buff2_m	8.0	15.0	g_buff2_m	10.0	2.0	10.0
g_buff2_n	8.0	50.0	g_buff2_n	10.0	2.0	30.0
g_buff2_r	8.0	500.0	g_buff2_r	10.0	2.0	500.0

## 【0113】

次に、図9のソース駆動回路902の詳細な回路図を図12に示す。ソース駆動回路における正電源電圧は9Vであり、負電源電圧は0Vで、ソース駆動回路に入力される動作クロックの周波数は、12.5MHzであり、走査方向の切り替え機能を有する。

## 【0114】

図12におけるs\_chsw\_aは、走査方向切り替えスイッチ、g\_sftr\_b、g\_sftr\_c、g\_sftr\_dは、シフトレジスタの一部、s\_nand\_eは、NAND回路、s\_buff1\_f、s\_buff1\_g、s\_buff1\_h、s\_buff1\_i、s\_buff2\_n、s\_buff3\_tは、いずれもバッファである。また、s\_lat1\_j、s\_lat1\_k、s\_lat1\_mは、いずれも1段目のラッチ（以下ラッチ1という）を示し、s\_lat2\_p、s\_lat2\_r、s\_lat2\_sは、いずれも2段目のラッチ（以下ラッチ2という）を示す。

## 【0115】

本実施例では、図12中の破線で囲まれている部分、つまりs\_sftr\_b、s\_sftr\_c、s\_sftr\_dから構成される部分をシフトレジスタ（12001）という。

## 【0116】

次に本実施例のソース駆動回路を構成するシフトレジスタ、NAND回路、バッファに含まれるTFTのサイズを表3に示す。シフトレジスタ、NAND回路、バッファには、p型のTFTおよびN型のTFTが用いられているので、それぞれについて示した。表3中のサイズは、図12に示されている記号にそれぞれ対応している。また、表中においてL [ $\mu\text{m}$ ] は、TFTのチャネル長を示し、W [ $\mu\text{m}$ ] は、TFTのチャネル幅を示す。なお、n型TFTのチャネル長には、 $L_{ov}$ 領域が含まれている。

【0117】

【表3】

Pch-TFT	L [ $\mu\text{m}$ ]	W [ $\mu\text{m}$ ]	Nch-TFT	L [ $\mu\text{m}$ ]	$L_{ov}$ [ $\mu\text{m}$ ]	W [ $\mu\text{m}$ ]
s_chsw_a	4.0	160.0	s_chsw_a	7.0	1.5	80.0
s_sftr_b	4.0	100.0	s_sftr_b	6.5	2.0	50.0
s_sftr_c	4.0	200.0	s_sftr_c	6.5	2.0	100.0
s_sftr_d	4.0	40.0	s_sftr_d	6.5	2.0	20.0
s_nand_e	4.0	80.0	s_nand_e	6.5	2.0	80.0
s_buf1_f	4.0	160.0	s_buf1_f	6.5	2.0	80.0
s_buf1_g	4.0	160.0	s_buf1_g	6.5	2.0	80.0
s_buf1_h	4.0	400.0	s_buf1_h	6.5	2.0	200.0
s_buf1_i	4.0	500.0	s_buf1_i	6.5	2.0	250.0
s_lat1_j	4.0	30.0	s_lat1_j	6.5	2.0	15.0
s_lat1_k	4.0	40.0	s_lat1_k	6.5	2.0	20.0
s_lat1_m	4.0	20.0	s_lat1_m	6.5	2.0	10.0
s_buf2_n	4.0	100.0	s_buf2_n	6.5	2.0	50.0
s_buf2_p	4.0	300.0	s_buf2_p	6.5	2.0	150.0
s_lat2_r	4.0	30.0	s_lat2_r	6.5	2.0	15.0
s_lat2_s	4.0	40.0	s_lat2_s	6.5	2.0	20.0
s_lat2_t	4.0	20.0	s_lat2_t	6.5	2.0	10.0
s_buf3_u	4.0	100.0	s_buf3_u	6.5	2.0	50.0
s_buf3_w	4.0	300.0	s_buf3_w	6.5	2.0	150.0

【0118】

本実施例におけるパネル内の各画素は、図7(71)のような構造をとる。ここで、電流制御用TFT702はp型( $L=5.0\mu\text{m}$ ,  $W=15.0\mu\text{m}$ )であり、スイッチング用TFT701は、N型( $L=4.0\mu\text{m}$  ( $L_{off}=2.0\mu\text{m}\times 2\times 2$ を除く),  $W=3\mu\text{m}$ )である。また、補助容量704の面積は、 $S\sim 0.008\times 0.036\text{mm}^2$  ( $\text{LDDSi-GTa-Al間}$ )である。

【0119】

本実施例における表示パネルの仕様を表4に示す。

【 0 1 2 0 】

【表 4】

画面サイズ	対角4. 0インチ
画素数	640×480
画素間隔	126 $\mu$ m
階調	64(6bit)
開口率	60%
ソース駆動回路の動作クロック周波数	12. 5MHz
ゲート駆動回路の動作クロック周波数	252kHz
駆動回路の電圧	12V
表示領域の電圧	6V
デューティー比	61.5%
色	単色

【 0 1 2 1 】

本実施例におけるパネルサイズは、87mm×100mmであり、画面サイズは、61mm×81mm（対角4. 0インチ）である。

また画素のピッチは、126  $\mu$ mであり、画素配列は、ストライプ状になっており、開口率は、約60%である。

なお、本明細書中では、画素部においてTFTや配線等により光の透過が妨げられる部分の面積を画素部全体の面積から除いた領域を透過領域としたとき、画素部の面積全体に対する透過領域の比率を開口率（または、有効発光面積）という。

また、1画面あたりの画素数は、 $(d2 + 640 + d2) \times (d2 + 480 + d2)$ で計算され、 $307200 + (d)4496$ 画素である。（ただし、dは、ダミーを意味する。）

【 0 1 2 2 】

本実施例におけるパネル仕様は、640×480のVGAであり、単色表示である。また、64階調（6ビット）で、デューティー比は、62. 5%である。

【 0 1 2 3 】

なお、本実施例においては、一つのパネルサイズに対する開口率を示したが、画素のピッチが100～140  $\mu$ mである場合には、開口率を50～80%とすることが可能である。

【 0 1 2 4 】

## 〔実施例 2〕

実施例 1 では、表示期間にパネル外に設けられた E L 素子に電圧を加えるための電源（図 7 の 7 0 9）のスイッチを切り、書込期間に電源のスイッチを入れるとしているが、この方法を用いると書込期間終了後、表示期間に入ると同時に電源のスイッチが入るというシステムになる。その場合、表示期間に入ると同時に急激な電流の増加が生じるため、パネル全体の負荷に対して電荷を充電する可変電圧源の能力を超えてしまうことがある。

【 0 1 2 5 】

これによりパネル全体に必要な電圧を加えることができなくなり、十分なパネル表示ができなくなる。

【 0 1 2 6 】

本実施例は、電源（図 7 の 7 0 9）のスイッチを常に入れておくことで書込、表示期間間の急激な電流の増加を防ぐというものである。

【 0 1 2 7 】

しかし、この方法を用いると書込期間中も表示がなされることになり、図 4（c）における書込 4、書込 5、書込 6 などの書込期間よりも表示期間が短い場合には、実質的に表示 4、表示 5、表示 6 を実施することは不可能になる。

【 0 1 2 8 】

つまり、本実施例を実施する場合には（1）画素数を少なくして書込期間を短くする、（2）駆動回路に含まれる T F T の能力を上げて動作速度を上げる、（3）駆動回路をパネル外に付ける構造にして動作速度を上げるといった点を考慮する必要がある。

【 0 1 2 9 】

## 〔実施例 3〕

本発明の実施例について図 1 3 ～図 1 5 を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路部の T F T を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位である C M O S 回路を図示することとする。



## 【 0 1 3 0 】

まず、図 1 3 (A) に示すように、ガラス基板 5 0 0 上に下地膜 5 0 1 を 3 0 0 n m の厚さに形成する。本実施例では下地膜 5 0 1 として窒化酸化珪素膜を積層して用いる。この時、ガラス基板 5 0 0 に接する方の窒素濃度を 1 0 ~ 2 5 w t % としておくが良い。また、下地膜 5 0 1 に放熱効果を持たせることは有効であり、D L C (ダイヤモンドライクカーボン) 膜を設けても良い。

## 【 0 1 3 1 】

次に下地膜 5 0 1 の上に 5 0 n m の厚さの非晶質珪素膜 (図示せず) を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜 (微結晶半導体膜を含む) であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は 2 0 ~ 1 0 0 n m の厚さであれば良い。

## 【 0 1 3 2 】

そして、特開平 7 - 1 3 0 6 5 2 号公報に記載の技術に従って非晶質珪素膜を結晶化し、結晶質珪素膜 (多結晶シリコン膜若しくはポリシリコン膜ともいう) 5 0 2 を形成する。これ以外に公知の結晶化方法としてレーザー光を用いた結晶化法もしくは赤外光を用いた結晶化法を用いても良い。(図 1 3 (A))

## 【 0 1 3 3 】

次に、図 1 3 (B) に示すように、結晶質珪素膜 5 0 2 をパターニングして島状に加工した半導体膜 5 0 3 ~ 5 0 6 を形成する。(図 1 3 (B))

## 【 0 1 3 4 】

次に、結晶質珪素膜 5 0 2 上に酸化珪素膜でなる保護膜 5 0 7 を 1 3 0 n m の厚さに形成する。この厚さは 1 0 0 ~ 2 0 0 n m (好ましくは 1 3 0 ~ 1 7 0 n m) の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜 5 0 3 は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

## 【 0 1 3 5 】

そして、保護膜 5 0 7 を介して p 型を付与する不純物元素 (以下、p 型不純物元素という) を半導体膜 5 0 3 ~ 5 0 6 に添加する。なお、p 型不純物元素とし

ては、代表的には周期表の 1 3 族に属する元素、典型的にはボロンを用いることができる。なお、本実施例ではジボラン ( $B_2H_6$ ) を質量分離しないでプラズマ励起したプラズマドーピング法を用いてボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。(図 1 3 (C))

## 【 0 1 3 6 】

この工程により半導体膜 5 0 3 ~ 5 0 6 中には p 型不純物元素が  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  (代表的には  $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ ) の濃度で含まれる。ここで添加された p 型不純物元素は T F T のしきい値電圧の調節に用いられる。

## 【 0 1 3 7 】

次に、保護膜 5 0 7 上にレジストマスク 5 0 8 a、5 0 8 b を形成し、保護膜 5 0 7 を介して n 型を付与する不純物元素 (以下、n 型不純物元素という) を添加する。なお、n 型不純物元素としては、代表的には周期表の 1 5 族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン ( $PH_3$ ) を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを  $1 \times 10^{18} \text{ atoms/cm}^3$  の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。(図 1 3 (D))

## 【 0 1 3 8 】

この工程により形成される n 型不純物領域 5 0 9 には、n 型不純物元素が  $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$  (代表的には  $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ ) の濃度で含まれるようにドーズ量を調節する。

## 【 0 1 3 9 】

この時点で、添加した n 型不純物元素及び p 型不純物元素の活性化を行っても良い。活性化手段は公知の技術を用いれば良いが、代表的にはレーザーアニール、ランプアニール、ファーンেসアニールもしくはそれらを併用して行えば良い。

## 【 0 1 4 0 】

次に、図 1 3 (E) に示すように、半導体膜 5 0 3 ~ 5 0 6 を覆ってゲート絶縁膜 5 1 0 を形成する。ゲート絶縁膜 5 1 0 としては、1 0 ~ 2 0 0 nm、好ましくは 5 0 ~ 1 5 0 nm の厚さの珪素を含む絶縁膜を用いれば良い。これは単層

構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

#### 【0141】

次に、200～400nm厚の導電膜を形成し、パターニングしてゲート電極511～515を形成する。なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。

#### 【0142】

代表的には、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素でなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

#### 【0143】

本実施例では、50nm厚の窒化タンタル（Ta<sub>2</sub>N<sub>3</sub>）膜と、350nm厚のタンタル（Ta）膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

#### 【0144】

またこの時、ゲート電極512はn型不純物領域509の一部にゲート絶縁膜510を挟んで重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。

#### 【0145】

次に、図14（A）に示すように、ゲート電極511～515をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域516～523にはn型不純物領域509の1/2～1/10（代表的には1/3～1/4）の濃度でリンが添加されるように調節する。具体的

には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$  (典型的には  $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ) の濃度が好ましい。

## 【0146】

次に、図14 (B) に示すように、ゲート電極511～515をマスクとして自己整合的にゲート絶縁膜507をエッチングする。こうしてゲート電極の直下に残存したゲート絶縁膜524～528が形成される。

## 【0147】

次に、図14 (C) に示すように、レジストマスク529を形成する。そして、p型不純物元素 (本実施例ではボロン) を添加し、高濃度にボロンを含む不純物領域530～533を形成する。ここではジボラン ( $\text{B}_2\text{H}_6$ ) を用いたイオンドーピング法により  $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$  (代表的には  $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ) の濃度となるようにボロンを添加する。

## 【0148】

なお、不純物領域530～533には既に  $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$  の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも300倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

## 【0149】

次に、図14 (D) に示すようにレジストマスク534a～534dを形成し、n型不純物元素 (本実施例ではリン) を添加して高濃度にリンを含む不純物領域535～539を形成する。ここでもフォスフィン ( $\text{PH}_3$ ) を用いたイオンドーピング法で行い、この領域のリンの濃度は  $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$  (代表的には  $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ ) となるように調節する。

## 【0150】

なお、不純物領域530～533のうち、540～543で示される領域には同様にリンが添加されるが、p型不純物元素の濃度に比べて十分に低い濃度であるため、p型からn型に反転するようなことはない。

## 【0151】

また、この工程によってnチャネル型TFTのソース領域及びドレイン領域が

形成されるが、スイッチング用 T F T では、図 1 4 (A) の工程で形成した n 型不純物領域 5 1 9 ~ 5 2 1 の一部を残すようにする。この残された領域が、図 2 におけるスイッチング用 T F T の L D D 領域 1 5 a ~ 1 5 d に相当する。

#### 【 0 1 5 2 】

次に、レジストマスク 5 3 4 a ~ 5 3 4 d を除去した後、保護膜 5 4 4 を形成し、その後、添加された n 型または p 型不純物元素を活性化する。活性化手段としては、ファーンেসアニール法、レーザーアニール法、ランプアニール法またはそれらを併用して行うことができる。本実施例では電熱炉において窒素雰囲気中、5 5 0 °C、4 時間のファーンেসアニールを行う。(図 1 4 (E))

#### 【 0 1 5 3 】

次に、図 1 5 (A) に示すように、第 1 層間絶縁膜 5 4 5 を形成する。なお、保護膜 5 4 4 を含めて第 1 層間絶縁膜と呼んでも良い。第 1 層間絶縁膜 5 4 5 としては、シリコンを含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は 4 0 0 n m ~ 1 . 5 μ m とすれば良い。本実施例では、保護膜 5 4 4 として 2 0 0 n m 厚の窒化酸化シリコン膜を用い、その上に 5 0 0 n m 厚の酸化シリコン膜を積層した構造とする。

#### 【 0 1 5 4 】

次に、第 1 層間絶縁膜 5 4 5 に対してコンタクトホールを形成し、ソース配線 5 4 6 ~ 5 4 9 と、ドレイン配線 5 5 0 ~ 5 5 2 を形成する。なお、本実施例ではこの電極を、チタン膜 6 0 n m、窒化チタン膜 4 0 n m、2 w t % のシリコンを含むアルミニウム膜 3 0 0 n m、チタン膜 1 0 0 n m をスパッタ法で連続形成した四層構造の積層膜とする。勿論、他の導電膜を用いても良い。

#### 【 0 1 5 5 】

さらに、3 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 °C で 1 ~ 4 時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体の不対結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

#### 【 0 1 5 6 】

なお、水素化処理は第 1 層間絶縁膜 5 4 5 を形成する間に入れても良い。即ち

、保護膜 5 4 4 を形成した後で上記のように水素化処理を行い、その後で第 1 層間絶縁膜 5 4 5 を形成しても構わない。

【 0 1 5 7 】

また、この水素化処理を 5 0 ～ 5 0 0 n m ( 代表的には 2 0 0 ～ 3 0 0 n m ) の厚さのパッシベーション膜 3 4 7 を形成した後で行っても良い。この場合、パッシベーション膜としては、窒化珪素膜もしくは窒化酸化珪素膜を用いることが可能である。

【 0 1 5 8 】

次に、図 1 5 ( B ) に示すように有機樹脂からなる第 2 層間絶縁膜 5 5 3 を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリルもしくは B C B ( ベンゾシクロブテン ) を使用することができる。特に、第 2 層間絶縁膜 5 5 3 は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例では T F T によって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは 1 ～ 5  $\mu$  m ( さらに好ましくは 2 ～ 4  $\mu$  m ) とすれば良い。

【 0 1 5 9 】

次に、第 2 層間絶縁膜 5 5 3 にドレイン配線 5 5 2 に達するコンタクトホールを形成し、酸化物導電膜からなる画素電極 5 5 4 を形成する。本実施例では画素電極 5 5 4 として酸化インジウムと酸化スズとの化合物からなる酸化物導電膜を 1 1 0 n m の厚さに形成する。

【 0 1 6 0 】

次に、図 1 5 ( C ) に示すように絶縁膜 5 5 5 、 5 5 6 を形成する。絶縁膜 5 5 5 、 5 5 6 は 2 0 0 ～ 3 0 0 n m 厚の珪素を含む絶縁膜もしくは有機樹脂膜をパターンングして形成すれば良い。絶縁膜 5 5 5 は画素と画素との間 ( 画素電極と画素電極との間 ) を埋めるように形成され、このあと形成される発光層等の有機 E L 材料が画素電極 5 5 4 の端部を覆わないようにするために設けられる。また、絶縁膜 5 5 6 は画素電極 5 5 4 の凹部を埋めるように設けられ、この部分における E L 素子の陰極と画素電極とのショートを防ぐ効果をもつ。

【 0 1 6 1 】

次に、画素電極 5 5 4 の表面にオゾン処理を行う。本実施例では、酸素ガス中

に晒した状態で紫外光（UV光）を照射することで処理を行う。その後、スピンコート法により正孔注入層 5 5 7、発光層 5 5 8 を形成する。本実施例では正孔注入層 5 5 7 として 3 0 n m 厚のポリチオフェン（PEDOT）を用い、発光層 5 5 8 として 8 0 n m 厚のポリパラフェニレンビニレン（PPV）を用いる。

#### 【0 1 6 2】

なお、本実施例では発光層及び正孔注入層でなる二層構造とするが、その他に正孔輸送層、電子注入層、電子輸送層等を設けても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。またEL材料として、高分子系材料だけでなく低分子系材料を用いても良いし、無機材料を組み合わせ用いても良い。

#### 【0 1 6 3】

次に、仕事関数の低い導電膜からなる陰極 5 5 9 を 4 0 0 n m の厚さに形成する。このような導電膜としては、周期表の 1 族もしくは 2 族に属する元素を含む導電膜のように仕事関数が 2 . 0 ~ 3 . 0 の導電膜を用いると良い。また、陰極 5 5 9 の上にパッシベーション膜を設けることも有効である。

#### 【0 1 6 4】

こうして図 1 5 （C）に示すような構造のアクティブマトリクス基板が完成する。なお、絶縁膜 5 5 5、5 5 6 を形成した後、陰極 5 5 9 を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。

#### 【0 1 6 5】

こうして図 1 5 （C）に示すような構造が完成する。なお、実際には、図 1 5 （C）まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やセラミックス製シーリングカンなどのハウジング材でパッケージング（封入）することが好ましい。その際、ハウジング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置することでEL層の信頼性（寿命）が向上する。

#### 【0 1 6 6】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された

素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクター（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このような出荷できる状態にまでしたものを本明細書中では自発光装置（または、ELモジュール）という。

## 【0167】

ここで本実施例のアクティブマトリクス型自発光装置の構成を図16の斜視図を用いて説明する。本実施例のアクティブマトリクス型自発光装置は、ガラス基板601上に形成された、画素部602と、ゲート側駆動回路603と、ソース側駆動回路604で構成される。画素部のスイッチング用TFT605はnチャネル型TFTであり、ゲート側駆動回路603に接続されたゲート配線606、ソース側駆動回路604に接続されたソース配線607の交点に配置されている。また、スイッチング用TFT605のドレイン領域は電流制御用TFT608のゲートに接続されている。

## 【0168】

さらに、電流制御用TFT608のソース側は電源供給線609に接続される。本実施例のような構造では、電源供給線609には接地電位（アース電位）が与えられている。また、電流制御用TFT608のドレイン領域にはEL素子610が接続されている。また、このEL素子610のカソードには所定の電圧（本実施例では10～12V）が加えられる。

## 【0169】

そして、外部入出力端子となるFPC611には駆動回路まで信号を伝達するための入出力配線（接続配線）612、613、及び電源供給線609に接続された入出力配線614が設けられている。

## 【0170】

さらに、ハウジング材をも含めた本実施例の自発光装置について図17（A）、（B）を用いて説明する。なお、必要に応じて図16で用いた符号を引用することにする。

## 【0171】

基板1200上には画素部1201、データ信号側駆動回路1202、ゲート



信号側駆動回路 1 2 0 3 が形成されている。それぞれの駆動回路からの各種配線は、入出力配線 6 1 2 ~ 6 1 4 を経て F P C 6 1 1 に至り外部機器へと接続される。

#### 【 0 1 7 2 】

このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてハウジング材 1 2 0 4 を設ける。なお、ハウジング材 1 2 0 4 は E L 素子の外寸よりも内寸が大きい凹部を有する形状又はシート形状であり、接着剤 1 2 0 5 によって、基板 1 2 0 0 と共同して密閉空間を形成するようにして基板 1 2 0 0 に固着される。このとき、E L 素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。なお、ハウジング材 1 2 0 4 は複数設けても構わない。

#### 【 0 1 7 3 】

また、ハウジング材 1 2 0 4 の材質はガラス、ポリマー等の絶縁性物質が好ましい。例えば、非晶質ガラス（硼硅酸塩ガラス、石英等）、結晶化ガラス、セラミックスガラス、有機系樹脂（アクリル系樹脂、スチレン系樹脂、ポリカーボネート系樹脂、エポキシ系樹脂等）、シリコン系樹脂が挙げられる。また、セラミックスを用いても良い。また、接着剤 1 2 0 5 が絶縁性物質であるならステンレス合金等の金属材料を用いることも可能である。

#### 【 0 1 7 4 】

また、接着剤 1 2 0 5 の材質は、エポキシ系樹脂、アクリレート系樹脂等の接着剤を用いることが可能である。さらに、熱硬化性樹脂や光硬化性樹脂を接着剤として用いることもできる。但し、可能な限り酸素、水分を透過しない材質であることが必要である。

#### 【 0 1 7 5 】

さらに、ハウジング材と基板 1 2 0 0 との間の空隙 1 2 0 6 は不活性ガス（アルゴン、ヘリウム、窒素等）を充填しておくことが望ましい。また、ガスに限らず不活性液体（パーフルオロアルカンに代表されるの液状フッ素化炭素等）を用いることも可能である。不活性液体に関しては特開平 8 - 7 8 5 1 9 号で用いられているような材料で良い。

## 【 0 1 7 6 】

また、空隙 1 2 0 6 に乾燥剤を設けておくことも有効である。乾燥剤としては特開平 9 - 1 4 8 0 6 6 号公報に記載されているような材料を用いることができる。典型的には酸化バリウムを用いれば良い。

## 【 0 1 7 7 】

また、図 1 7 (B) に示すように、画素部には個々に孤立した E L 素子を有する複数の画素が設けられ、それらは全て保護電極 1 2 0 7 を共通電極として有している。本実施例では、E L 層、陰極 (M g A g 電極) 及び保護電極を大気解放しないで連続形成することが好ましいとしたが、E L 層と陰極とを同じマスク材を用いて形成し、保護電極だけ別のマスク材で形成すれば図 1 7 (B) の構造を実現することができる。

## 【 0 1 7 8 】

このとき、E L 層と陰極は画素部のみ設ければよく、駆動回路の上に設ける必要はない。勿論、駆動回路上に設けられていても問題とはならないが、E L 層にアルカリ金属が含まれていることを考慮すると設けない方が好ましい。

## 【 0 1 7 9 】

なお、保護電極 1 2 0 7 は 1 2 0 8 で示される領域において、画素電極と同一材料でなる接続配線 1 2 0 9 を介して入出力配線 1 2 1 0 に接続される。入出力配線 1 2 1 0 は保護電極 1 2 0 7 に所定の電圧 (本実施例では接地電位、具体的には 0 V) を与えるための電源供給線であり、導電性ペースト材料 1 2 1 1 を介して F P C 6 1 1 に接続される。

## 【 0 1 8 0 】

ここで領域 1 2 0 8 におけるコンタクト構造を実現するための作製工程について図 1 8 を用いて説明する。

## 【 0 1 8 1 】

まず、本実施例の工程に従って図 1 5 (A) の状態を得る。このとき、基板端部 (図 1 7 (B) において 1 2 0 8 で示される領域) において第 1 層間絶縁膜 5 4 4 及びゲート絶縁膜 5 1 4 を除去し、その上に入出力配線 1 2 1 0 を形成する。勿論、図 1 5 (A) のソース配線及びドレイン配線と同時に形成される。(図

1 8 (A) )

【 0 1 8 2 】

次に、図 1 5 (B) において第 2 層間絶縁膜 5 5 3 を部分的にエッチングする。さらに、開孔部 1 3 0 2 上に接続配線 1 2 0 9 を形成して図 1 8 (B) に示す形状を得る。勿論、この接続配線 1 2 0 9 は図 1 5 (B) において画素電極 5 5 4 と同時に形成される。(図 1 8 (B) )

【 0 1 8 3 】

この状態で画素部では E L 素子の形成工程 (第 3 層間絶縁膜、E L 層及び陰極の形成工程) が行われる。この際、図 1 3 に示される領域ではマスク等を用いて第 3 層間絶縁膜や E L 素子が形成されないようにする。そして、陰極 5 5 7 を形成した後、別のマスクを用いて保護電極 5 5 8 を形成する。これにより保護電極 5 5 8 と入出力配線 1 2 1 0 とが接続配線 1 2 0 9 を介して電氣的に接続される。さらに、第 2 パッシベーション膜 5 5 9 を設けて図 1 8 (C) の状態を得る。

【 0 1 8 4 】

以上の工程により図 1 7 (B) の 1 2 0 8 で示される領域のコンタクト構造が実現される。そして、入出力配線 1 2 1 0 はハウジング材 1 2 0 4 と基板 1 2 0 0 との間を隙間 (但し接着剤 1 2 0 5 で充填されている。即ち、接着剤 1 2 0 5 は入出力配線の段差を十分に平坦化しうる厚さが必要である。) を通って F P C 6 1 1 に接続される。なお、ここでは入出力配線 1 2 1 0 について説明したが、他の出力配線 6 1 2 ~ 6 1 4 も同様にしてハウジング材 1 2 0 4 の下を通して F P C 6 1 1 に接続される。

【 0 1 8 5 】

〔実施例 4〕

本実施例では、実施例 3 によって作製されたアクティブマトリクス型自発光装置の画素構造の一例を説明する。説明には図 1 9 を用いる。なお、図 1 9 において図 1 又は図 2 と対応する部分には適宜、図 1 又は図 2 の符号を引用する。

【 0 1 8 6 】

図 1 9 において、1 9 0 1 で示される配線は、スイッチング用 T F T 2 0 1 のゲート電極を電氣的に接続するゲート配線である。また、スイッチング用 T F T

201のソース領域13は、ソース配線21に接続され、ドレイン領域14は、ドレイン配線22に接続される。また、ドレイン配線22は、電流制御用TFT202のゲート電極29に電氣的に接続される。また、電流制御用TFT202のソース領域26は、電源供給線1902に電氣的に接続され、ドレイン領域27は、ドレイン配線31に電氣的に接続される。

## 【0187】

このとき、1903で示される領域には、保持容量が形成される。保持容量1903は、電源供給線1902と電氣的に接続された半導体膜1904、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極29との間で形成される。なお、半導体膜1904は、スイッチング用TFT及び電流制御用TFTを作製する際に形成される半導体膜とは、分離して形成されるので本発明においては、分離半導体膜という。つまり、分離半導体膜1904は、図19で示すようにスイッチング用TFTのソース領域13やドレイン領域14、電流制御用TFTのソース領域26やドレイン領域27を形成するための活性層とは、孤立して形成されている。なお、1903で示される領域において、分離半導体膜1904はゲート絶縁膜を挟んでゲート電極29と重なっており、この時、分離半導体膜1904の60%以上がゲート電極29と重なる構造になっている。さらに、分離半導体膜1904の60%以上が第一層間絶縁膜を挟んで電源供給線1902と重なる構造になっている。又、ゲート電極29、第一層間絶縁膜と同一の層（図示せず）及び電源供給線1902で形成される容量も保持容量として用いることが可能である。

## 【0188】

なお、本実施例において図19に示した画素構造は本発明を何ら限定するものではなく、好ましい一例に過ぎない。スイッチング用TFT、電流制御用TFT又は保持容量をどのような位置に形成するかは実施者が適宜設計すれば良い。

## 【0189】

さらに、本実施例の構造は、特に画像表示領域の面積が大きくなった場合において有効である。その理由を以下に説明する。

## 【0190】

本発明の自発光装置は1フレームを複数のフィールドに分割して駆動するため、画素部を駆動する駆動回路にかかる負担は大きい。これを低減するには画素部が有する負荷（配線抵抗、寄生容量またはTFTの書き込み容量など）を可能な限り低減することが好ましい。

## 【0191】

TFTの書き込みにおいてデータ配線やゲート配線に付加される寄生容量は大部分がそれら配線の上に形成されたEL素子の陰極（または保護電極）との間で形成されるが、この点については第2層間絶縁膜として比誘電率の低い有機樹脂膜を1.5～2.5 $\mu\text{m}$ という厚さで形成するので寄生容量は殆ど無視できる。

## 【0192】

このことより本発明を画素部の面積の大きい自発光装置に実施する上で最も障害となるのはデータ配線やゲート配線の配線抵抗となる。勿論、データ信号側駆動回路を複数に分割して並列処理をさせたり、画素部を挟んでデータ信号側駆動回路やゲート信号側駆動回路を設けて双方向から信号を送り、実質的に駆動回路の動作周波数を落とすようなことも可能である。但し、その場合は駆動回路の専有面積が大きくなるなど別の問題が生じてしまう。

## 【0193】

従って、本実施例のような構造によってゲート配線の配線抵抗を極力低減することは、本発明を実施する上で非常に有効である。なお、本実施例において図19に示した画素構造は本発明を何ら限定するものではなく、好ましい一例に過ぎない。また、本実施例は、実施例1～3のいずれの構成とも自由に組み合わせて実施することが可能である。

## 【0194】

## 〔実施例5〕

本実施例では、図2と異なる構造の画素部を形成する場合について図20を用いて説明する。なお、図2と同様の構造に関しては、図2と同様の番号を用いているので図2を参照すると良い。

## 【0195】

また、図20に示した自発光装置は、電流制御用TFT202において、チャ

ネル形成領域 2 8 は、ゲート絶縁膜 1 8 c を挟んでゲート電極 2 9 に重なる構造になっている。

## 【 0 1 9 6 】

本実施例の場合、第 2 層間絶縁膜 4 7 に対してコンタクトホールを形成したら、画素電極 5 4 を形成する。本実施例では画素電極 5 4 として、2 0 0 n m 厚のアルミニウム合金膜（1 wt% のチタンを含有したアルミニウム膜）を設ける。なお、画素電極の材料としては金属材料であれば如何なる材料でも良いが、反射率の高い材料であることが好ましい。

## 【 0 1 9 7 】

次に、絶縁膜 4 9、5 0 を形成する。絶縁膜 4 9、5 0 は、2 0 0 ~ 3 0 0 n m 厚の珪素を含む絶縁膜もしくは有機樹脂膜をパターンングして形成すればよい。

さらに、絶縁膜 4 9、5 0 の上には、E L 層 5 1 が形成される。

## 【 0 1 9 8 】

こうして E L 層 5 1 まで形成したら、その上に正孔注入層 5 5、陽極 5 6 を形成する。本実施例では、正孔注入層 5 5 として 3 0 n m のポリチオフェン（P E D O T）を用い、陽極 5 6 として酸化インジウムと酸化スズとの化合物からなる酸化物導電膜を 1 1 0 n m の厚さに形成する。こうして E L 素子 2 0 6 が形成される。なお、この場合、図 2 とは陰極及び陽極の位置が逆になる。

## 【 0 1 9 9 】

本実施例の構造とした場合、各画素で生成された赤色、緑色又は青色の光は T F T が形成された基板とは反対側に放射される。そのため、画素内のほぼ全域、即ち T F T が形成された領域をも有効な発光領域として用いることができる。その結果、画素の有効発光面積が大幅に向上し、画像の明るさやコントラスト比（明暗の比）が向上する。

## 【 0 2 0 0 】

なお、本実施例の構成は、実施例 1 ~ 4 のいずれの構成とも自由に組み合わせることが可能である。

## 【 0 2 0 1 】

## 〔実施例 6〕

本発明に用いるソース駆動回路の一部を図 2 1 に示す。図中の 2 6 0 1 は、シフトレジスタ、2 6 0 2 は、ラッチ 1 である。

なお、本実施例の構成は、実施例 1 ～ 5 のいずれの構成とも自由に組み合わせることが可能である。

## 【 0 2 0 2 】

## 〔実施例 7〕

本発明に用いる駆動回路の写真を図 2 2 (A) に、また静止画表示の写真を図 2 2 (B) に示す。さらに、本発明を用いて作製したアクティブマトリクス型の自発光装置の外観の写真を図 2 3 に示す。

なお、本実施例の構成は、実施例 1 ～ 6 のいずれの構成とも自由に組み合わせることが可能である。

## 【 0 2 0 3 】

## 〔実施例 8〕

実施例 1 の図 2 に示した構造において、活性層と基板 1 1 との間に設けられる下地膜 1 2 として、放熱効果の高い材料を用いることは有効である。特に電流制御用 T F T は長時間に渡って比較的多くの電流を流すことになるため発熱しやすく、自己発熱による劣化が問題となりうる。そのような場合に、本実施例のように下地膜が放熱効果を有することで T F T の熱劣化を抑制することができる。

## 【 0 2 0 4 】

放熱効果をもつ透光性材料としては、B (ホウ素)、C (炭素)、N (窒素) から選ばれた少なくとも一つの元素と、Al (アルミニウム)、Si (珪素)、P (リン) から選ばれた少なくとも一つの元素とを含む絶縁膜が挙げられる。

## 【 0 2 0 5 】

例えば、窒化アルミニウム ( $Al_xN_y$ ) に代表されるアルミニウムの窒化物、炭化珪素 ( $Si_xC_y$ ) に代表される珪素の炭化物、窒化珪素 ( $Si_xN_y$ ) に代表される珪素の窒化物、窒化ホウ素 ( $B_xN_y$ ) に代表されるホウ素の窒化物、リン化ホウ素 ( $B_xP_y$ ) に代表されるホウ素のリン化物を用いることが可能である。また、酸化アルミニウム ( $Al_xO_y$ ) に代表されるアルミニウムの

酸化物は透光性に優れ、熱伝導率が  $20 \text{ W m}^{-1} \text{ K}^{-1}$  であり、好ましい材料の一つと言える。なお、上記透光性材料において、 $x$ 、 $y$  は任意の整数である。

## 【 0 2 0 6 】

また、上記化合物に他の元素を組み合わせることもできる。例えば、酸化アルミニウムに窒素を添加して、 $\text{Al N}_x \text{ O}_y$  で示される窒化酸化アルミニウムを用いることも可能である。この材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。なお、上記窒化酸化アルミニウムにおいて、 $x$ 、 $y$  は任意の整数である。

## 【 0 2 0 7 】

また、特開昭 6 2 - 9 0 2 6 0 号公報に記載された材料を用いることができる。即ち、 $\text{Si}$ 、 $\text{Al}$ 、 $\text{N}$ 、 $\text{O}$ 、 $\text{M}$  を含む絶縁膜（但し、 $\text{M}$  は希土類元素の少なくとも一種、好ましくは  $\text{Ce}$ （セリウム）、 $\text{Yb}$ （イッテルビウム）、 $\text{Sm}$ （サマリウム）、 $\text{Er}$ （エルビウム）、 $\text{Y}$ （イットリウム）、 $\text{La}$ （ランタン）、 $\text{Gd}$ （ガドリニウム）、 $\text{Dy}$ （ジスプロシウム）、 $\text{Nd}$ （ネオジウム）から選ばれた少なくとも一つの元素）を用いることもできる。これらの材料にも放熱効果だけでなく、水分やアルカリ金属等の侵入を防ぐ効果がある。

## 【 0 2 0 8 】

また、少なくともダイヤモンド薄膜又はアモルファスカーボン膜（特にダイヤモンドに特性の近いもの、ダイヤモンドライクカーボン等と呼ばれる。）を含む炭素膜を用いることもできる。これらは非常に熱伝導率が高く、放熱層として極めて有効である。但し、膜厚が厚くなると褐色を帯びて透過率が低下するため、なるべく薄い膜厚（好ましくは  $5 \sim 100 \text{ nm}$ ）で用いることが好ましい。

## 【 0 2 0 9 】

また、上記放熱効果をもつ材料からなる薄膜を単体で用いることもできるが、これらの薄膜と、珪素を含む絶縁膜とを積層して用いても良い。

## 【 0 2 1 0 】

なお、本実施例の構成は、実施例 1 ～ 7 のいずれの構成とも自由に組み合わせる実施することが可能である。

## 【 0 2 1 1 】



## 〔実施例 9〕

実施例 3 では E L 層として有機 E L 材料を用いることが好ましいとしたが、本発明は無機 E L 材料を用いても実施できる。但し、現在の無機 E L 材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有する T F T を用いなければならない。

## 【 0 2 1 2 】

または、将来的にさらに駆動電圧の低い無機 E L 材料が開発されれば、本発明に適用することは可能である。

## 【 0 2 1 3 】

また、本実施例の構成は、実施例 1 ～ 8 のいずれの構成とも自由に組み合わせることが可能である。

## 【 0 2 1 4 】

## 〔実施例 1 0〕

本発明を実施する上で用いた E L 素子の素子構造の一例を図 2 4 に示す。図 2 4 (A) は、低分子 E L 材料を用いた場合であり、基板上に I T O 電極 (図 2 4 (A) では、I T O と示す) を作成した後、陽極のバッファ層に銅フタロシアニン (C u P c) をもちい、正孔輸送層に a - N P D、発光層に A l q を用いた。成膜方法は蒸着であり、基板上の I T O 電極上に順次積層させた。蒸着時の真空度は  $2 \times 10^{-6}$  Torr 以下である。

## 【 0 2 1 5 】

図 2 4 (B) には、高分子 (Polymer) E L 材料を用いた場合の素子構造を示す。基板上に I T O 電極を作成し、Polymer 層をスピンコートし、さらに蒸着により陰極 (M e t a l) を形成した。蒸着時の真空度は  $4 \times 10^{-6}$  Torr 以下である。本実施例では、発光層を各画素共通とし、モノカラーのパネルを制作した。さらに、陰極蒸着の際にはメタルマスクを用い、必要な部分にのみ金属を成膜した。また、その後作成した素子は、樹脂を用いて封止をした。

## 【 0 2 1 6 】

また、本実施例の構成は、実施例 1 ～ 9 のいずれの構成とも自由に組み合わせることが可能である。

【 0 2 1 7 】

〔実施例 1 1〕

実施例 1 0 で説明した E L 素子の特性を図 2 5 に示す。これは、E L 素子に一定の電圧を加えたときの電流密度と輝度を測定したものである。結果は、低分子 E L 素子及び高分子 E L 素子ともに 1 0 m A / c m <sup>2</sup> で数百カンデラとなり、E L ディスプレイとして用いるのに十分な効率を示している。

【 0 2 1 8 】

また、本実施例の構成は、実施例 1 ～ 1 0 のいずれの構成とも自由に組み合わせることが可能である。

【 0 2 1 9 】

〔実施例 1 2〕

本発明を実施して形成されたアクティブマトリクス型自発光装置（または、E L モジュール）は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れている。そのため本発明は直視型の E L ディスプレイ（自発光装置を組み込んだ表示ディスプレイを指す）に対して実施することが可能である。E L ディスプレイとしてはパソコンモニタ、T V 放送受信用モニタ、広告表示モニタ等が挙げられる。

【 0 2 2 0 】

また、本発明は上述の E L ディスプレイも含めて、表示ディスプレイを部品として含むあらゆる電気器具に対して実施することが可能である。

【 0 2 2 1 】

そのような電気器具としては、E L ディスプレイ、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（C D）、レーザーディスク（L D）又はデジタルビデオディスク（D V D）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電気器具の例を図 2 6 に示す。

【 0 2 2 2 】

図 2 6 (A) はパーソナルコンピュータであり、本体 2 0 0 1、筐体 2 0 0 2、表示装置 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明は表示装置 2 0 0 3 に用いることができる。

【 0 2 2 3 】

図 2 6 (B) はビデオカメラであり、本体 2 1 0 1、表示装置 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明を表示装置 2 1 0 2 に用いることができる。また、本発明は表示装置 2 1 0 2 に対角 4 インチのパネルを用いることもできる。

【 0 2 2 4 】

図 2 6 (C) はゴーグル型ディスプレイであり、本体 2 2 0 1、表示装置 2 2 0 2、アーム部 2 2 0 3 等を含む。本発明は表示装置 2 2 0 2 に用いることができる。

【 0 2 2 5 】

図 2 6 (D) は携帯型（モバイル）コンピュータであり、本体 2 3 0 1、カメラ部 2 3 0 2、受像部 2 3 0 3、操作スイッチ 2 3 0 4、表示装置 2 3 0 5 等を含む。本発明は表示装置 2 4 0 5 に用いることができる。

【 0 2 2 6 】

図 2 6 (E) は記録媒体を備えた画像再生装置（具体的には DVD 再生装置）であり、本体 2 4 0 1、記録媒体（CD、LD または DVD 等） 2 4 0 2、操作スイッチ 2 4 0 3、表示装置（a） 2 4 0 4、表示装置（b） 2 4 0 5 等を含む。表示装置（a）は主として画像情報を表示し、表示装置（b）は主として文字情報を表示するが、本発明はこれら表示装置（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD 再生装置、ゲーム機器などに本発明を用いることができる。

【 0 2 2 7 】

図 2 6 (F) は EL ディスプレイであり、筐体 2 5 0 1、支持台 2 5 0 2、表示装置 2 5 0 3 等を含む。本発明は表示装置 2 5 0 3 に用いることができる。表示装置の画像表示領域の面積が対角 1 0 インチ以上となる場合には、実施例 5 に示したような画素構造が有効である。

## 【 0 2 2 8 】

また、将来的に E L 材料の発光輝度が高くなれば、フロント型若しくはリア型のプロジェクターに用いることも可能となる。

## 【 0 2 2 9 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例 1 ～ 1 1 のどのような組み合わせからなる構成を用いても実現することができる。

## 【 0 2 3 0 】

## 〔実施例 1 3〕

本実施例では、本発明の E L ディスプレイの駆動方法を用いた場合、どのような電圧電流特性を有する領域で E L 駆動用 T F T を駆動させるかについて説明する。

## 【 0 2 3 1 】

E L 素子は、印加される電圧が少しでも変化すると、それに対して E L 素子を流れる電流が指数関数的に大きく変化する。別の見方をすると、E L 素子を流れる電流の大きさが変化しても、E L 素子に印加される電圧値はあまり変化しない。そして、E L 素子の輝度は、E L 素子に流れる電流にほぼ正比例して大きくなる。よって、E L 素子に印加される電圧の大きさ（電圧値）を制御することにより E L 素子の輝度を制御するよりも、E L 素子を流れる電流の大きさ（電流値）を制御することにより E L 素子の輝度を制御する方が、T F T の特性に左右されずらく、E L 素子の輝度の制御が容易である。

## 【 0 2 3 2 】

図 2 7 を参照する。図 2 7 ( A ) は、図 3 に示した本発明の E L ディスプレイの画素において、E L 駆動用 T F T 1 0 8 および E L 素子 1 1 0 の構成部分のみを図示したものである。図 2 7 ( B ) には、図 2 7 ( A ) で示した E L 駆動用 T F T 1 0 8 および E L 素子 1 1 0 の電圧電流特性を示す。なお図 2 7 で示す E L 駆動用 T F T 1 0 8 の電圧電流特性のグラフは、ソース領域とドレイン領域の間の電圧である  $V_{DS}$  に対する、E L 駆動用 T F T 1 0 8 のドレイン領域に流れる電流の大きさを示しており、図 2 7 には E L 駆動用 T F T 1 0 8 のソース領域とゲ

ート電極の間の電圧である  $V_{GS}$  の値の異なる複数のグラフを示している。

【 0 2 3 3 】

図 2 7 (A) に示したように、E L 素子 1 1 0 の画素電極と対向電極 1 1 1 の間にかかる電圧を  $V_{EL}$ 、電源供給線に接続される端子 2 6 0 1 と E L 素子 1 1 0 の対向電極 1 1 1 の間にかかる電圧を  $V_T$  とする。なお  $V_T$  は電源供給線の電位によってその値が固定される。また E L 駆動用 T F T 1 0 8 のソース領域・ドレイン領域間の電圧を  $V_{DS}$ 、E L 駆動用 T F T 1 0 8 のゲート電極に接続される配線 2 6 0 2 とソース領域との間の電圧、つまり E L 駆動用 T F T 1 0 8 のゲート電極とソース領域の間の電圧を  $V_{GS}$  とする。

【 0 2 3 4 】

E L 駆動用 T F T 1 0 8 は n チャネル型 T F T でも p チャネル型 T F T でもどちらでも良い。

【 0 2 3 5 】

また、E L 駆動用 T F T 1 0 8 と E L 素子 1 1 0 とは直列に接続されている。よって、両素子 (E L 駆動用 T F T 1 0 8 と E L 素子 1 1 0) を流れる電流値は同じである。従って、図 2 7 (A) に示した E L 駆動用 T F T 1 0 8 と E L 素子 1 1 0 とは、両素子の電圧電流特性を示すグラフの交点 (動作点) において駆動する。図 2 7 (B) において、 $V_{EL}$  は、対向電極 1 1 1 の電位と動作点での電位との間の電圧になる。 $V_{DS}$  は、E L 駆動用 T F T 1 0 8 の端子 2 6 0 1 での電位と動作点での電位との間の電圧になる。つまり、 $V_T$  は、 $V_{EL}$  と  $V_{DS}$  の和に等しい。

【 0 2 3 6 】

ここで、 $V_{GS}$  を変化させた場合について考える。図 2 7 (B) から分かるように、E L 駆動用 T F T 1 0 8 の  $|V_{GS} - V_{TH}|$  が大きくなるにつれて、言い換えると  $|V_{GS}|$  が大きくなるにつれて、E L 駆動用 T F T 1 0 8 に流れる電流値が大きくなる。なお、 $V_{TH}$  は E L 駆動用 T F T 1 0 8 のしきい値電圧である。よって図 2 7 (B) から分かるように、 $|V_{GS}|$  が大きくなると、動作点において E L 素子 1 1 0 を流れる電流値も当然大きくなる。E L 素子 1 1 0 の輝度は、E L 素子 1 1 0 を流れる電流値に比例して高くなる。

【 0 2 3 7 】

$|V_{GS}|$ が大きくなることによってEL素子110を流れる電流値が大きくなると、電流値に応じて $V_{EL}$ の値も大きくなる。そして $V_T$ の大きさは電源供給線の電位によって定まっているので、 $V_{EL}$ が大きくなると、その分 $V_{DS}$ が小さくなる。

【 0 2 3 8 】

また図27(B)に示したように、EL駆動用TFTの電圧電流特性は、 $V_{GS}$ と $V_{DS}$ の値によって2つの領域に分けられる。 $|V_{GS} - V_{TH}| < |V_{DS}|$ である領域が飽和領域、 $|V_{GS} - V_{TH}| > |V_{DS}|$ である領域が線形領域である。

【 0 2 3 9 】

飽和領域においては以下の式1が成り立つ。なお $I_{DS}$ はEL駆動用TFT108のチャネル形成領域を流れる電流値である。また $\beta = \mu C_0 W / L$ であり、 $\mu$ はEL駆動用TFT108の移動度、 $C_0$ は単位面積あたりのゲート容量、 $W / L$ はチャネル形成領域のチャネル幅 $W$ とチャネル長 $L$ の比である。

【 0 2 4 0 】

【式1】

$$I_{DS} = \beta (V_{GS} - V_{TH})^2 / 2$$

【 0 2 4 1 】

また線形領域においては以下の式2が成り立つ。

【 0 2 4 2 】

【式 2】

$$I_{DS} = \beta \{ (V_{GS} - V_{TH}) V_{DS} - V_{DS}^2 / 2 \}$$

【0 2 4 3】

式 1 からわかるように、飽和領域において電流値は  $V_{DS}$  によってほとんど変化せず、 $V_{GS}$  のみによって電流値が定まる。

【0 2 4 4】

一方、式 2 からわかるように、線形領域は、 $V_{DS}$  と  $V_{GS}$  とにより電流値が定まる。 $|V_{GS}|$  を大きくしていくと、EL 駆動用 TFT 108 は線形領域で動作するようになる。そして、 $V_{EL}$  も徐々に大きくなっていく。よって、 $V_{EL}$  が大きくなった分だけ、 $V_{DS}$  が小さくなっていく。線形領域では、 $V_{DS}$  が小さくなると電流量も小さくなる。そのため、 $|V_{GS}|$  を大きくしていても、電流値は増加しにくくなってくる。 $|V_{GS}| = \infty$  になった時、電流値  $= I_{MAX}$  となる。つまり、 $|V_{GS}|$  をいくら大きくしても、 $I_{MAX}$  以上の電流は流れない。ここで、 $I_{MAX}$  は、 $V_{EL} = V_T$  の時に、EL 素子 110 を流れる電流値である。

【0 2 4 5】

このように  $|V_{GS}|$  の大きさを制御することによって、動作点を飽和領域にしたり、線形領域にしたりすることができる。

【0 2 4 6】

ところで、全ての EL 駆動用 TFT の特性は理想的には全て同じであることが望ましいが、実際には個々の EL 駆動用 TFT でしきい値  $V_{TH}$  と移動度  $\mu$  とが異なっていることが多い。そして個々の EL 駆動用 TFT のしきい値  $V_{TH}$  と移動度  $\mu$  とが互いに異なると、式 1 及び式 2 からわかるように、 $V_{GS}$  の値が同じでも EL 駆動用 TFT 108 のチャネル形成領域を流れる電流値が異なってしまう。

【0 2 4 7】

図 28 にしきい値  $V_{TH}$  と移動度  $\mu$  とがずれた EL 駆動用 TFT の電流電圧特性

を示す。実線 2 7 0 1 が理想の電流電圧特性のグラフであり、2 7 0 2、2 7 0 3 がそれぞれしきい値  $V_{TH}$  と移動度  $\mu$  とが理想とする値と異なってしまった場合の E L 駆動用 T F T の電流電圧特性である。電流電圧特性のグラフ 2 7 0 2、2 7 0 3 は飽和領域においては同じ電流値  $\Delta I_1$  だけ、理想の特性を有する電流電圧特性のグラフ 2 7 0 1 からずれていて、電流電圧特性のグラフ 2 7 0 2 の動作点 2 7 0 5 は飽和領域にあり、電流電圧特性のグラフ 2 7 0 3 の動作点 2 7 0 6 は線形領域にあったとする。その場合、理想の特性を有する電流電圧特性のグラフ 2 7 0 1 の動作点 2 7 0 4 における電流値と、動作点 2 7 0 5 及び動作点 2 7 0 6 における電流値のずれをそれぞれ  $\Delta I_2$ 、 $\Delta I_3$  とすると、飽和領域における動作点 2 7 0 5 よりも線形領域における動作点 2 7 0 6 の方が小さい。

## 【 0 2 4 8 】

よって本発明で示したデジタル方式の駆動方法を用いる場合、動作点が線形領域に存在するように E L 駆動用 T F T と E L 素子を駆動させることで、E L 駆動用 T F T の特性のずれによる E L 素子の輝度むらを抑えた階調表示を行うことができる。

## 【 0 2 4 9 】

また従来のアナログ駆動の場合は、 $|V_{GS}|$  のみによって電流値を制御することが可能な飽和領域に動作点が存在するように E L 駆動用 T F T と E L 素子を駆動させる方が好ましい。

## 【 0 2 5 0 】

以上の動作分析のまとめとして、E L 駆動用 T F T のゲート電圧  $|V_{GS}|$  に対する電流値のグラフを図 2 9 に示す。 $|V_{GS}|$  を大きくしていき、E L 駆動用 T F T のしきい値電圧の絶対値  $|V_{th}|$  よりも大きくなると、E L 駆動用 T F T が導通状態となり、電流が流れ始める。本明細書ではこの時の  $|V_{GS}|$  を点灯開始電圧と呼ぶことにする。そして、さらに  $|V_{GS}|$  を大きくしていくと、 $|V_{GS}|$  が  $|V_{GS} - V_{th}| = |V_{DS}|$  を満たすような値（ここでは仮に A とする）となり、飽和領域 2 8 0 1 から線形領域 2 8 0 2 になる。さらに  $|V_{GS}|$  を大きくしていくと、電流値が大きくなり、遂には、電流値が飽和してくる。その時  $|V_{GS}| = \infty$  となる。



【 0 2 5 1 】

図 2 9 から分かる通り、 $|V_{GS}| \leq |V_{th}|$  の領域では、電流がほとんど流れない。 $|V_{th}| \leq |V_{GS}| \leq A$  の領域は飽和領域であり、 $|V_{GS}|$  によって電流値が変化する。そして、 $A \leq |V_{GS}|$  の領域は線形領域であり、E L 素子に流れる電流値は  $|V_{GS}|$  及び  $|V_{DS}|$  によって電流値が変化する。

【 0 2 5 2 】

本発明のデジタル駆動では、 $|V_{GS}| \leq |V_{th}|$  の領域及び  $A \leq |V_{GS}|$  の線形領域を用いることが好ましい。

【 0 2 5 3 】

なお本実施例は他の全ての実施例と自由に組み合わせることが可能である。

【 0 2 5 4 】

〔実施例 1 4〕

本発明において、三重項励起子からの燐光を発光に利用できる E L 材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、E L 素子の低消費電力化、長寿命化、および軽量化が可能になる。

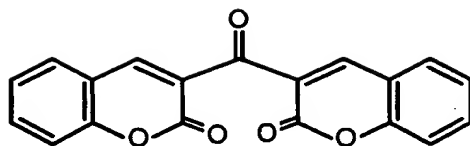
【 0 2 5 5 】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。  
(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

上記の論文により報告された E L 材料（クマリン色素）の分子式を以下に示す。

【 0 2 5 6 】

【化1】



【0257】

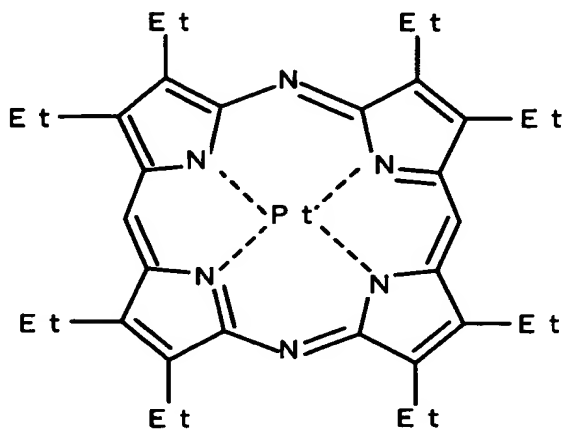
(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0258】

上記の論文により報告されたEL材料(Pt錯体)の分子式を以下に示す。

【0259】

【化2】



【0260】

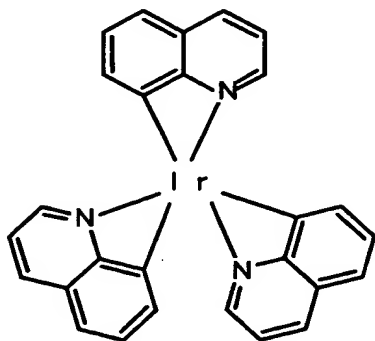
(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75 (1999) p.4.)

(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

上記の論文により報告された E L 材料 ( I r 錯体 ) の分子式を以下に示す。

【 0 2 6 1 】

【化 3】



【 0 2 6 2 】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より 3 ~ 4 倍の高い外部発光量子効率の実現が可能となる。

【 0 2 6 3 】

なお、本実施例の構成は、他の全ての実施例と自由に組みあわせて実施することが可能である。

【 0 2 6 4 】

【発明の効果】

本発明を実施することで、 T F T の特性バラツキに影響されない鮮明な多階調カラー表示が可能なアクティブマトリクス型自発光装置を得ることができる。具体的には、アクティブマトリクス型自発光装置において従来のアナログ階調表示からデジタル信号による時分割階調表示を行うことで、電流制御用 T F T の特性バラツキによる階調不良をなくし、色再現性の良い高精細な画像を得ることがで

きる。

【 0 2 6 5 】

また、基板上に形成される T F T 自体も各回路又は素子が必要とする性能に併せて最適な構造の T F T を配置することで、信頼性の高いアクティブマトリクス型自発光装置を実現している。

【 0 2 6 6 】

そして、そのようなアクティブマトリクス型自発光装置を表示ディスプレイとして具備することで、画像品質が良く、信頼性の高い高性能な電気器具を生産することが可能となる。

【図面の簡単な説明】

- 【図 1】 自発光装置の構成を示す図。
- 【図 2】 自発光装置の断面構造を示す図。
- 【図 3】 従来の自発光装置における画素部の構成を示す図。
- 【図 4】 アナログ階調方式で利用する T F T 特性を説明する図。
- 【図 5】 時分割階調方式の動作モードを説明する図。
- 【図 6】 自発光装置のソース駆動回路を示す図。
- 【図 7】 自発光装置の画素部の画素構造を示す図。
- 【図 8】 時分割階調方式の動作モードを説明する図。
- 【図 9】 自発光装置のパネル全体の上面図。
- 【図 1 0】 F P C 入力部の保護回路。
- 【図 1 1】 自発光装置のゲート駆動回路を示す図。
- 【図 1 2】 自発光装置のソース駆動回路を示す図。
- 【図 1 3】 自発光装置の作製工程を示す図。
- 【図 1 4】 自発光装置の作製工程を示す図。
- 【図 1 5】 自発光装置の作製工程を示す図。
- 【図 1 6】 自発光装置の外観を示す図。
- 【図 1 7】 自発光装置の外観を示す図。
- 【図 1 8】 コンタクト構造の作製工程を示す図。
- 【図 1 9】 自発光装置の画素部の上面構造を示す図。

【図 2 0】 自発光装置の断面構造を示す図。

【図 2 1】 自発光装置のソース駆動回路の一部を示す図。

【図 2 2】 本発明を用いた自発光装置の画素部の駆動回路及び画像を示す写真

。 【図 2 3】 本発明を用いた自発光装置を示す写真。

【図 2 4】 E L 素子の素子構造を示す図。

【図 2 5】 E L 素子の特性を示す図。

【図 2 6】 電気器具の具体例を示す図。

【図 2 7】 E L 素子と E L 駆動用 T F T の接続の構成を示す図と、 E L 素子と E L 駆動用 T F T の電圧電流特性を示す図。

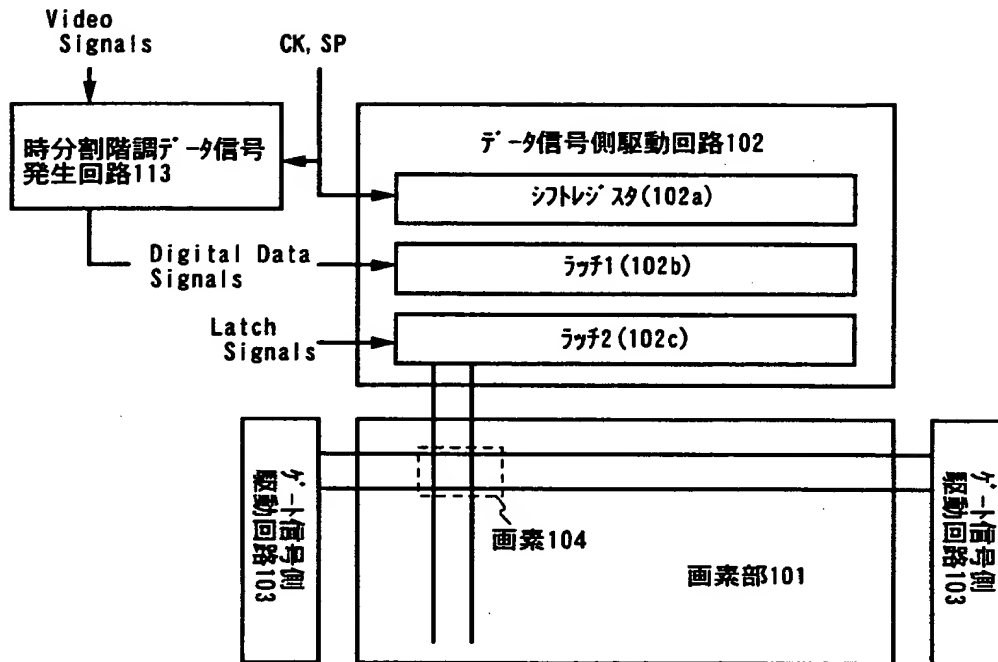
【図 2 8】 E L 素子と E L 駆動用 T F T の電圧電流特性を示す図。

【図 2 9】 E L 駆動用 T F T のゲート電圧とドレイン電流の関係を示す図。

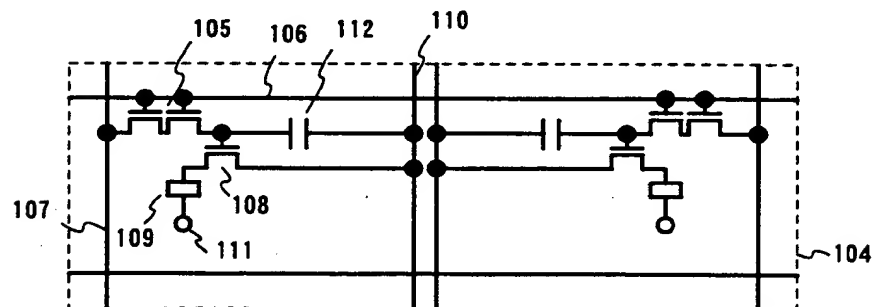
【書類名】 図面

【図 1】

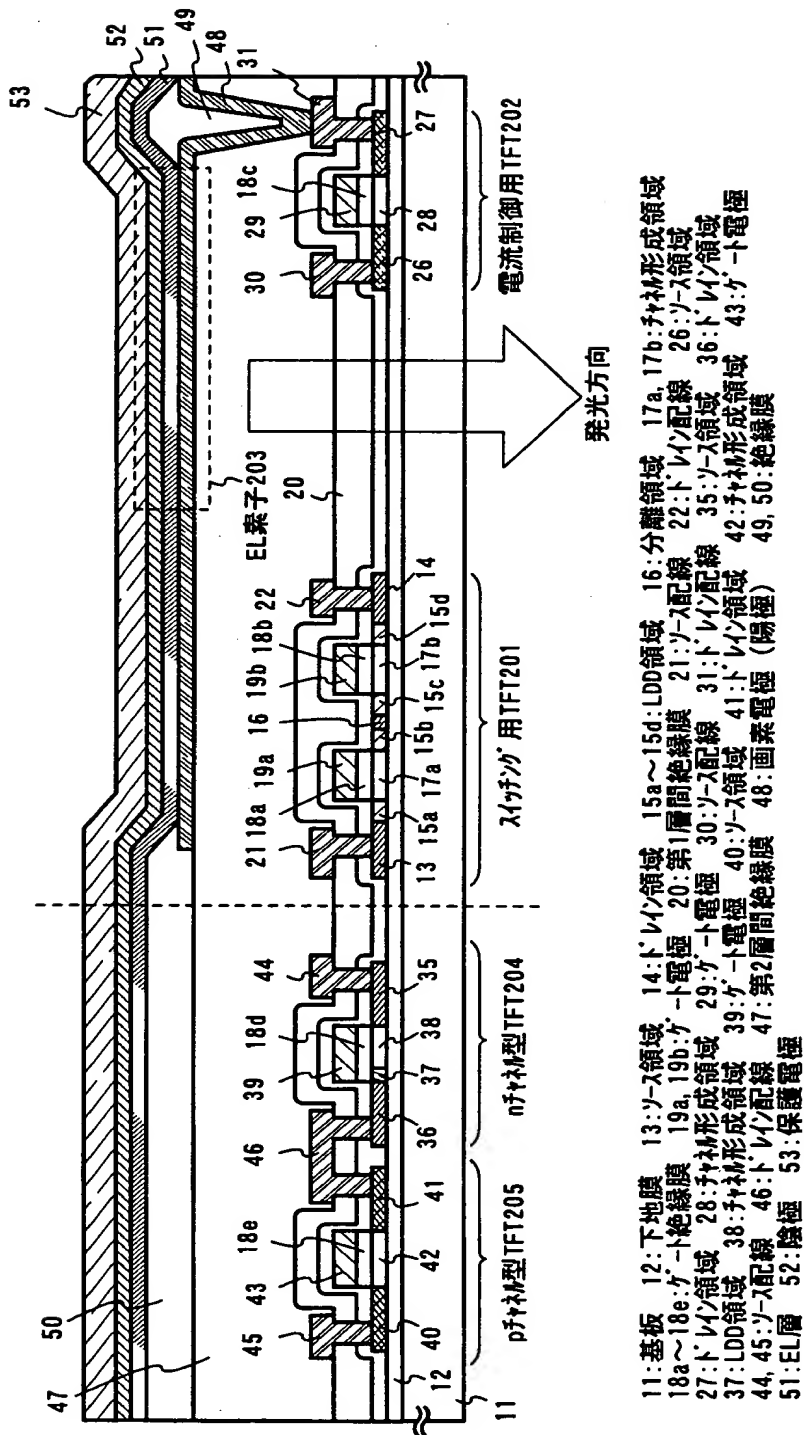
(A)



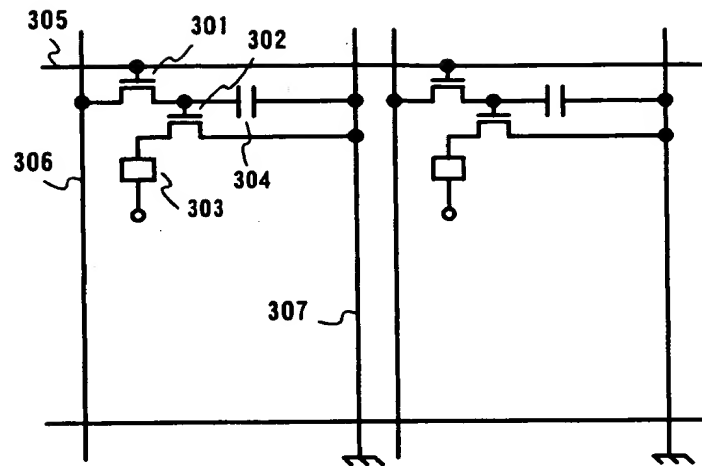
(B)



【図 2】

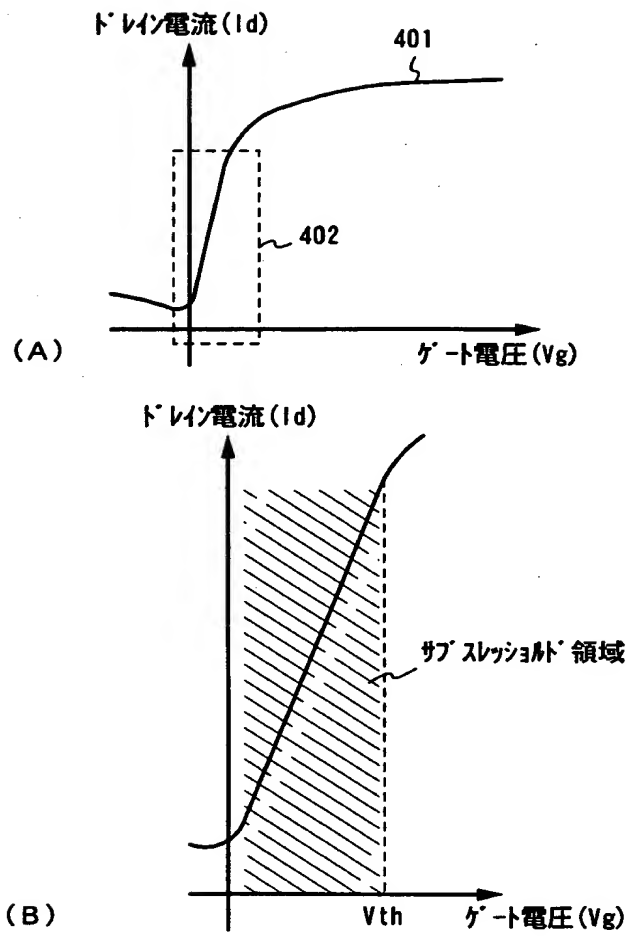


【図 3】

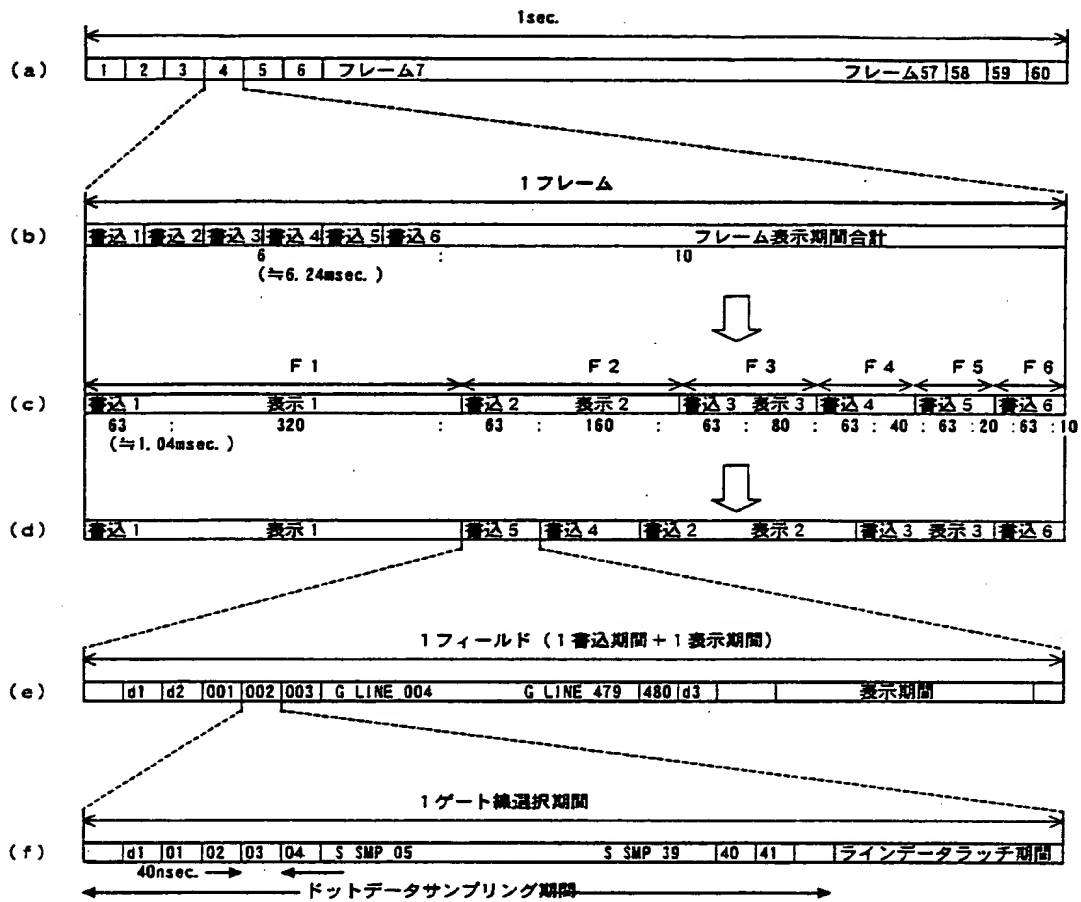




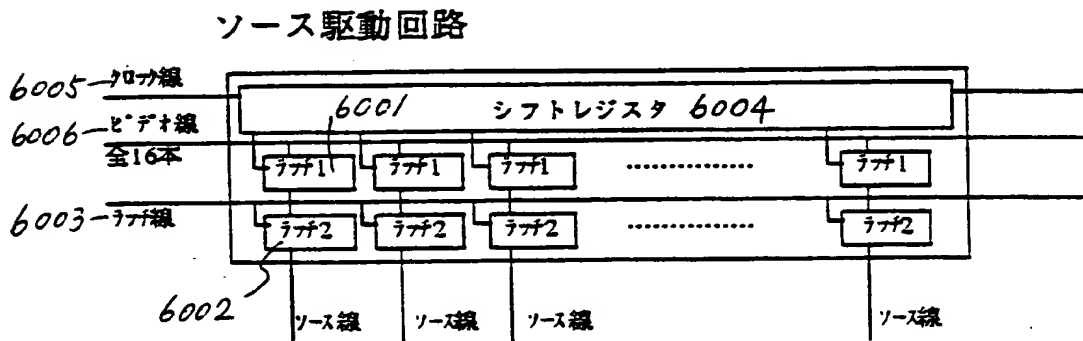
【図 4】



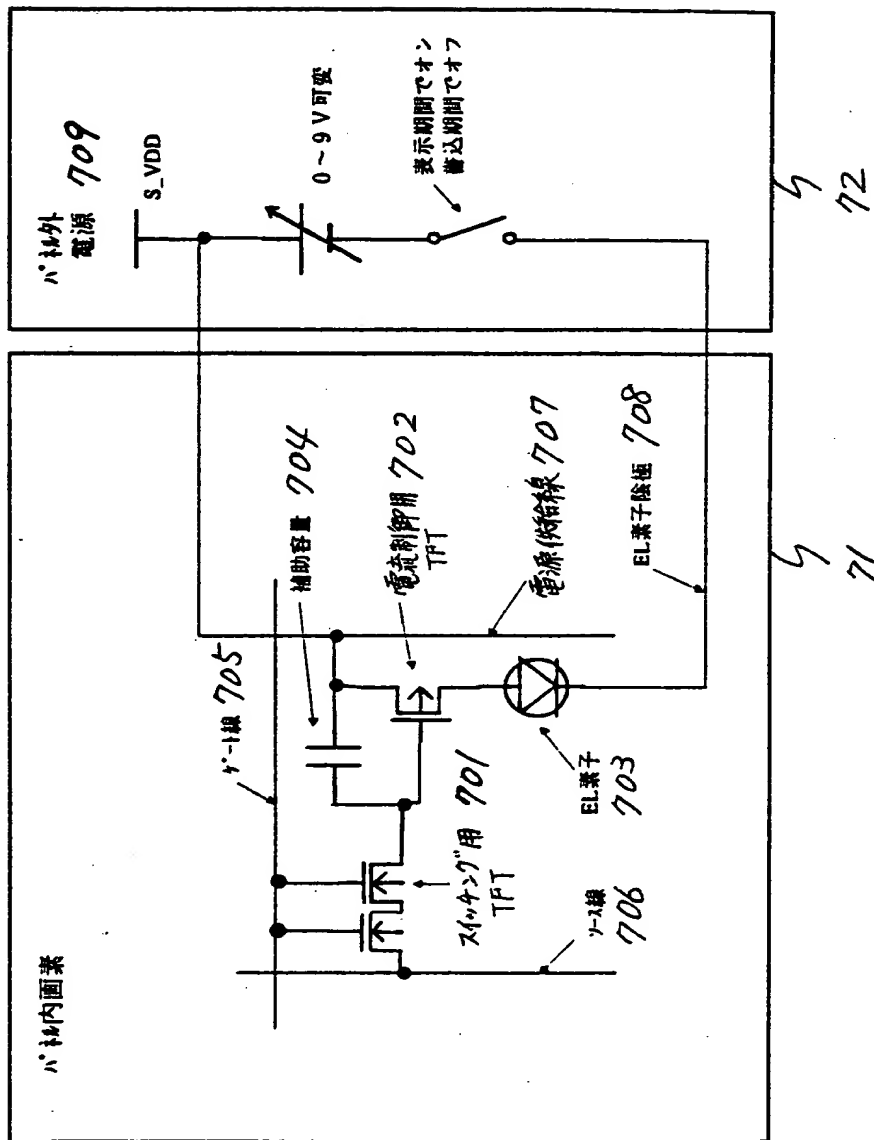
【図 5】



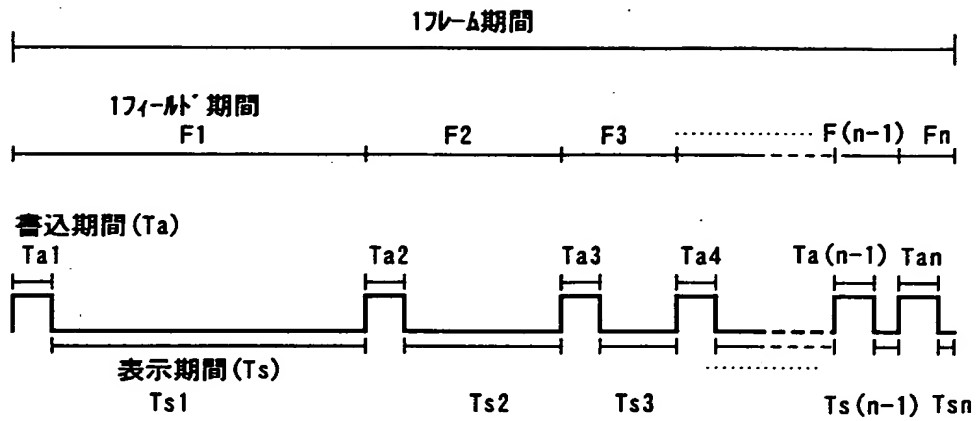
【図 6】



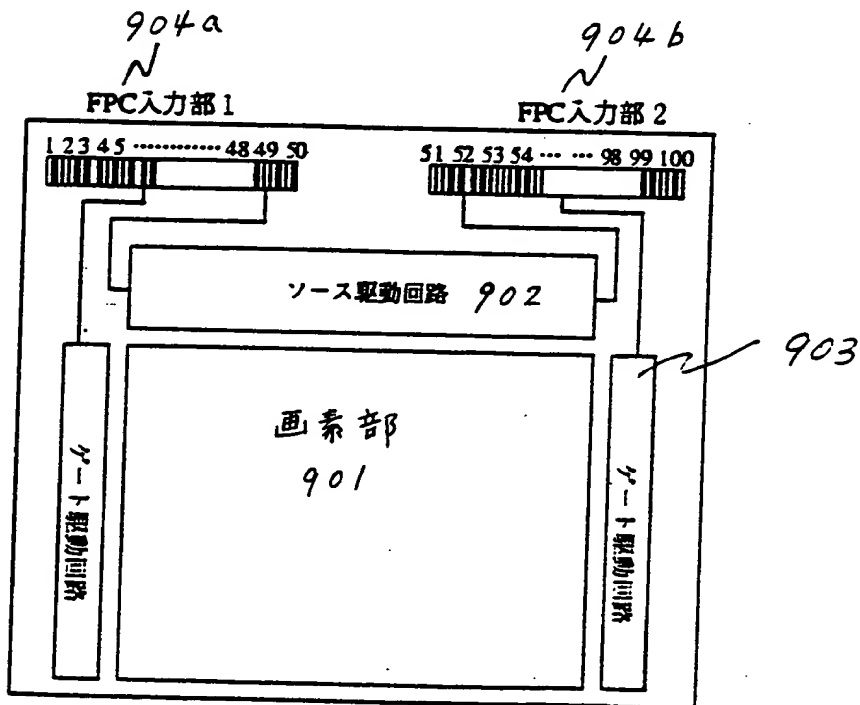
【図 7】



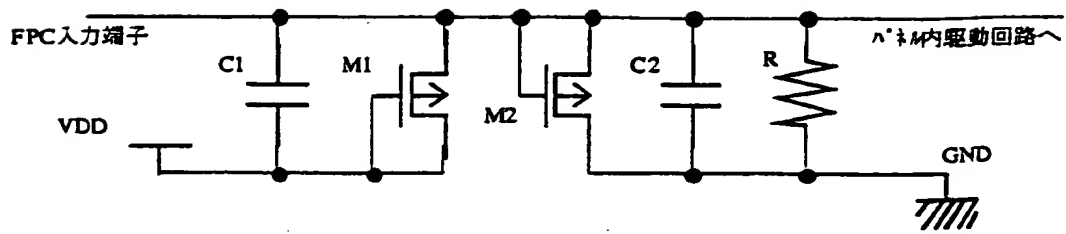
【図 8】



【図 9】

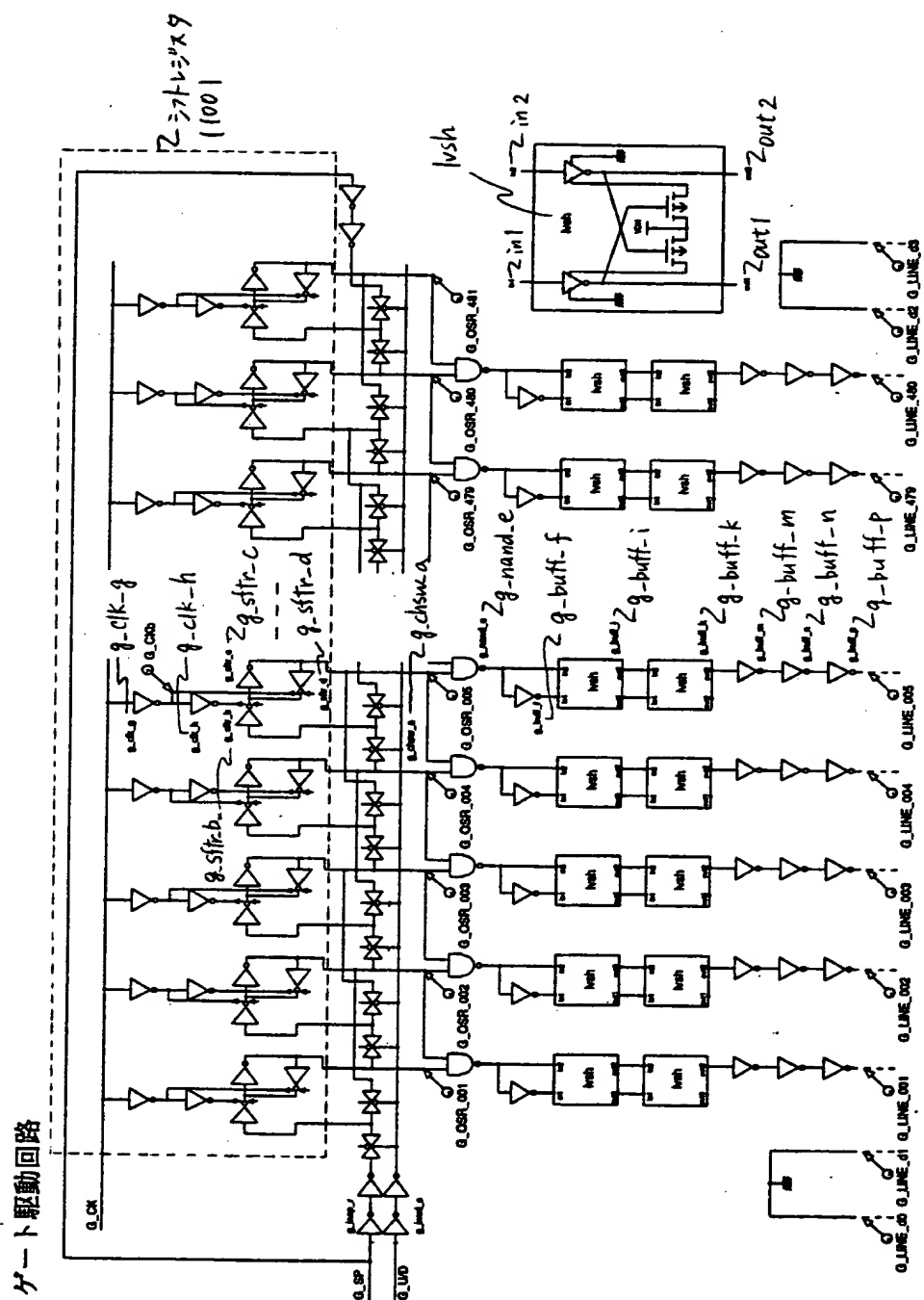


【図 10】

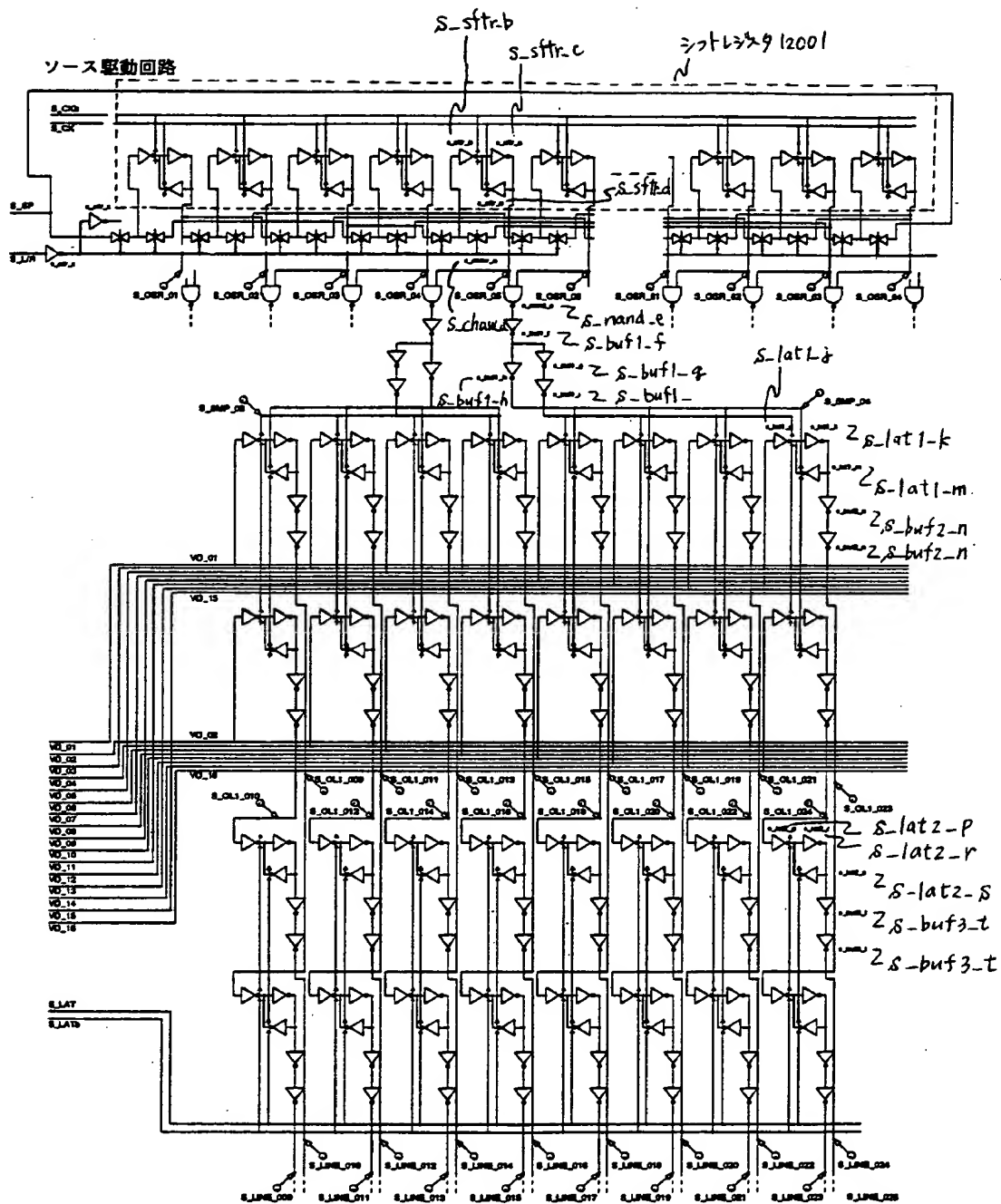


M1,M2 ;  $L=11W, W=250 \times 2 [\mu m]$   
 C1,C2 ;  $S=0.20 \times 0.08 [mm]$  (GTa-Al間)  
 R ;  $L=673, W=5 [\mu m]$  (LDDSi)

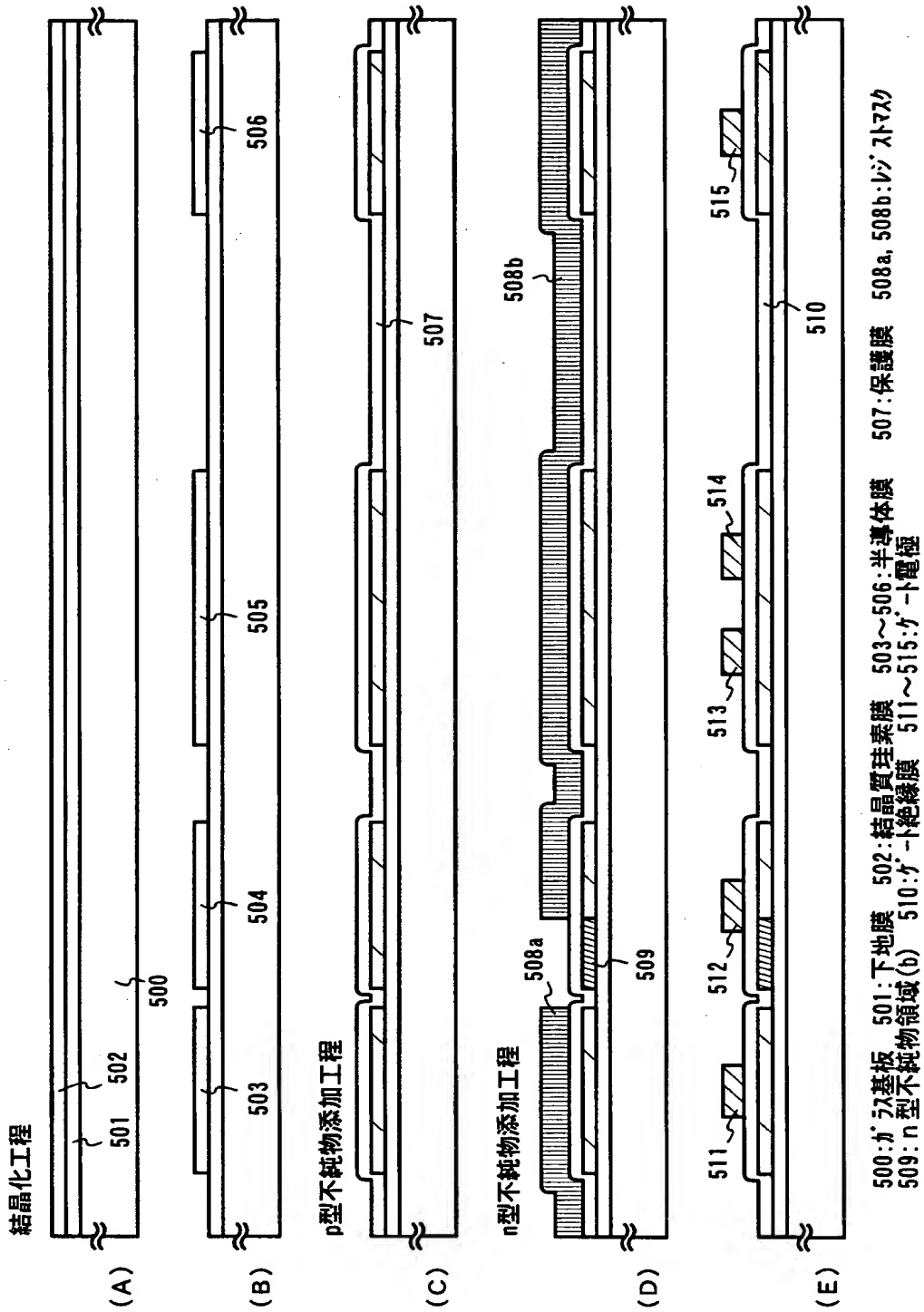
【图 1 1】



【図 12】

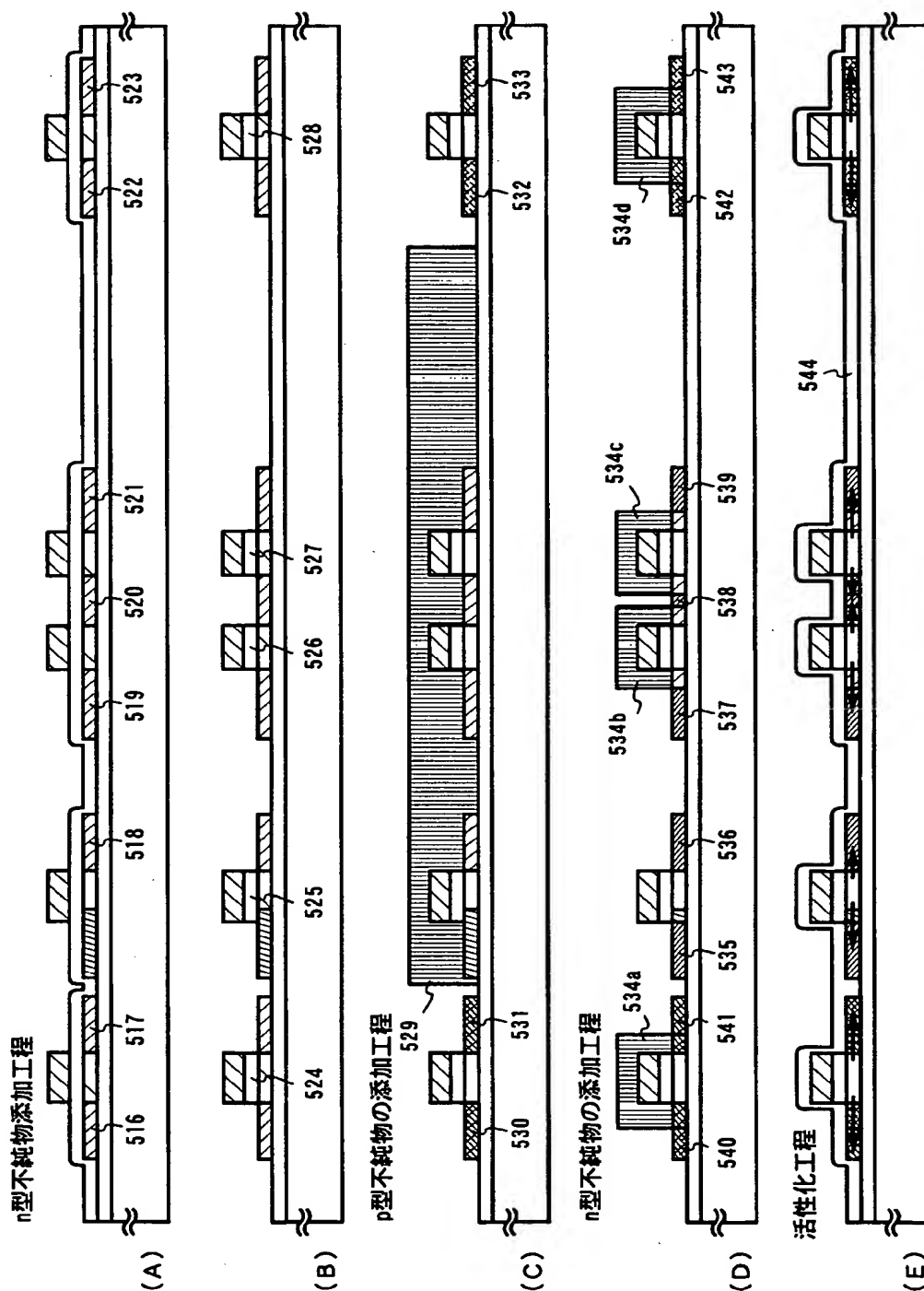


【図 1 3】

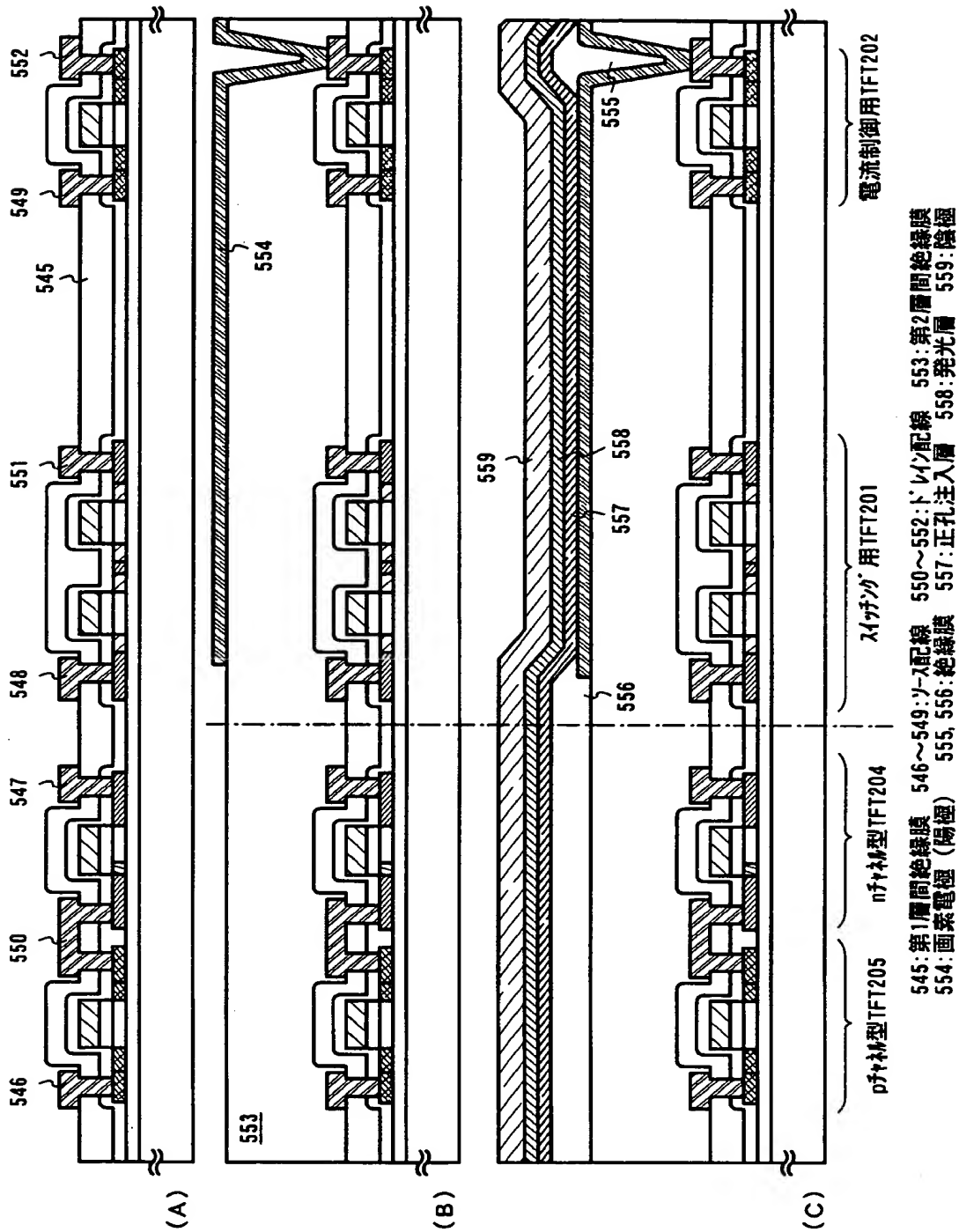




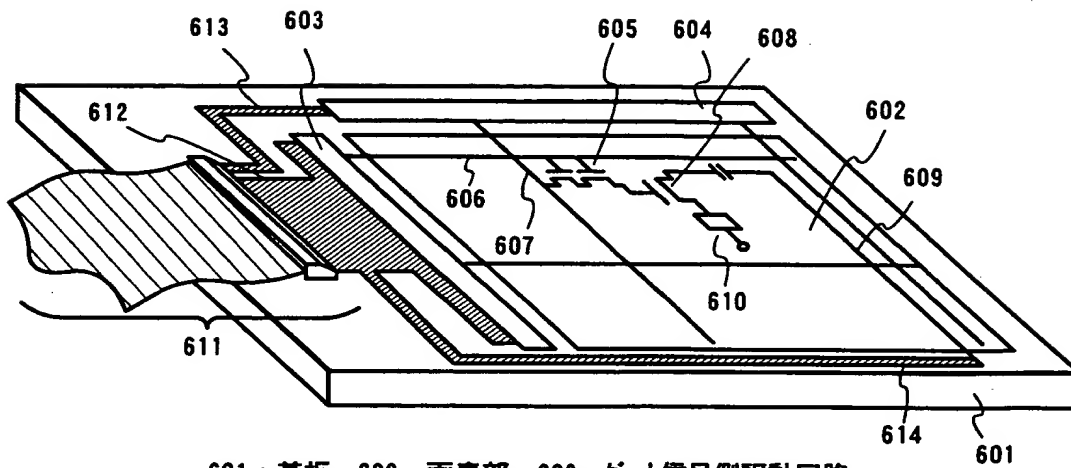
【図 14】



【図15】

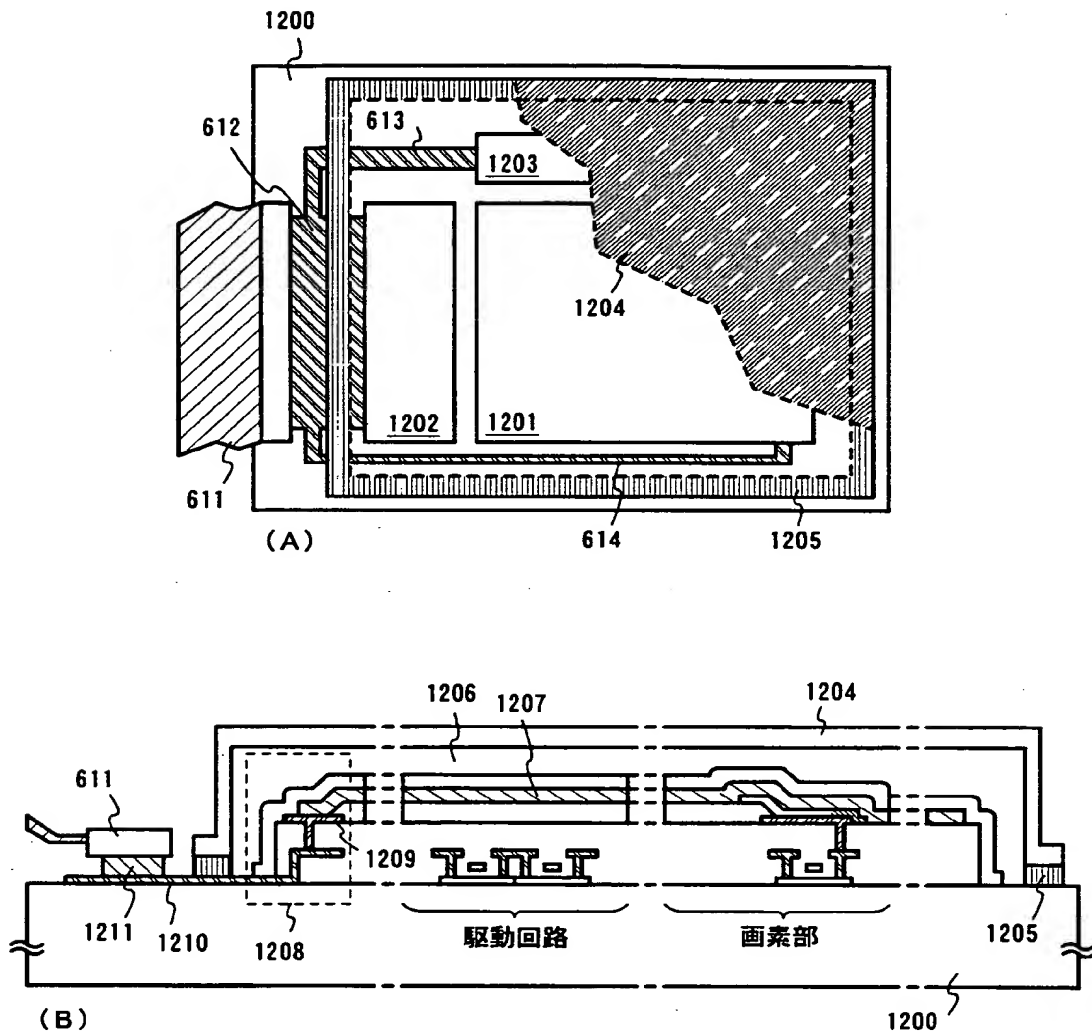


【図16】

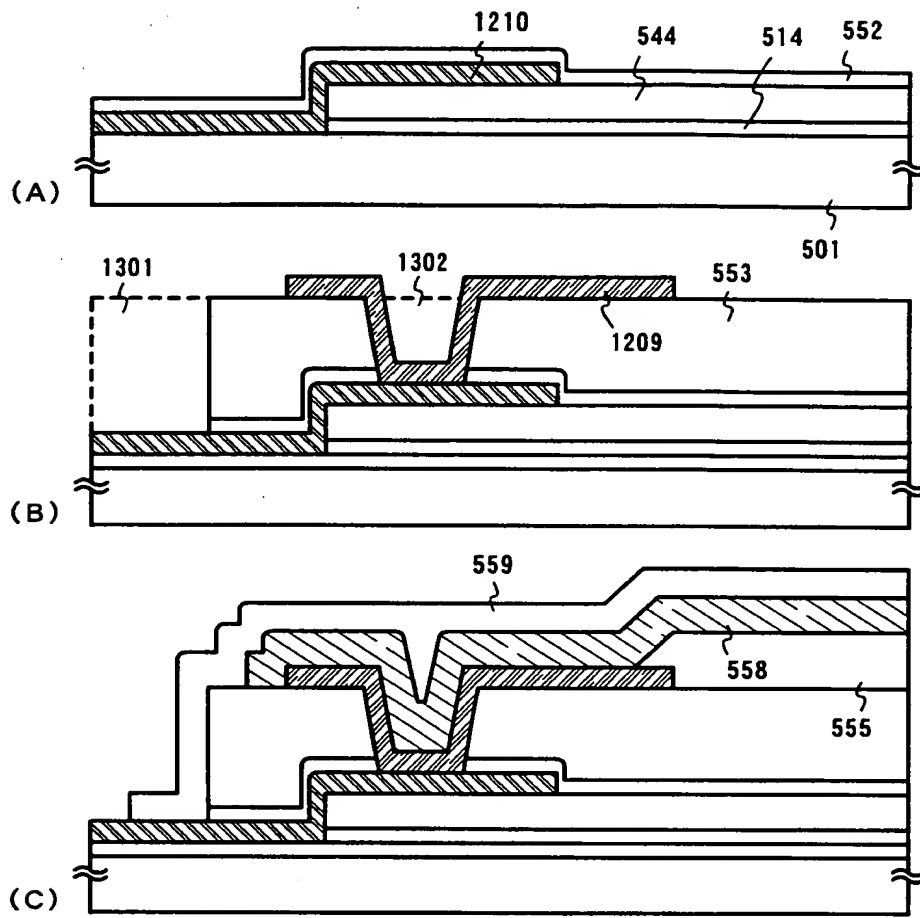


601 : 基板 602 : 画素部 603 : ゲート信号側駆動回路  
 604 : データ信号側駆動回路 605 : スイッチング用TFT  
 606 : ゲート配線 607 : データ配線 608 : 電流制御用TFT  
 609 : 電源供給線 610 : EL素子 611 : FPC  
 612~614 : 入出力配線

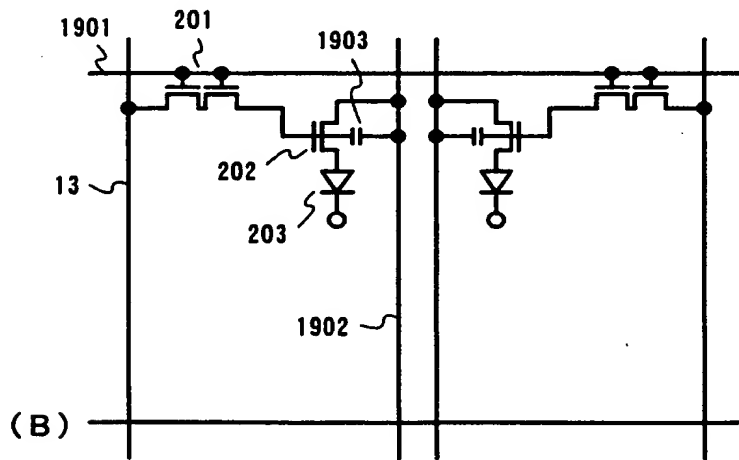
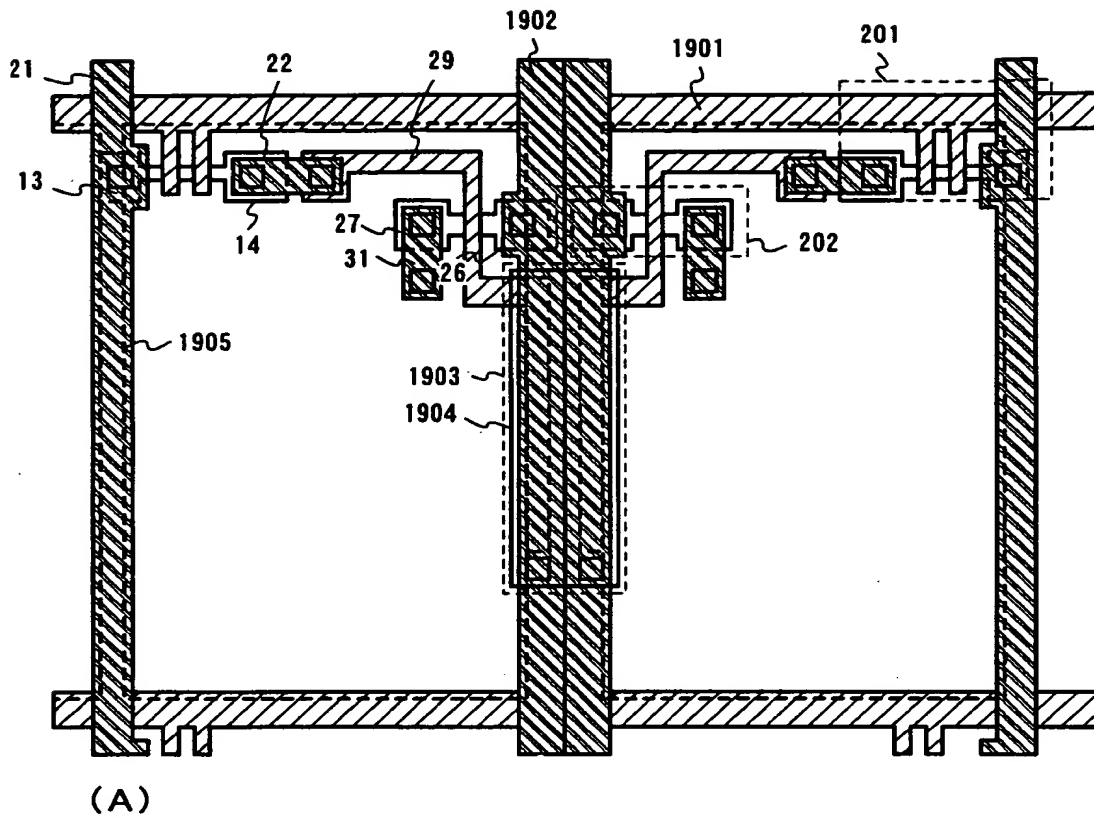
【図 17】



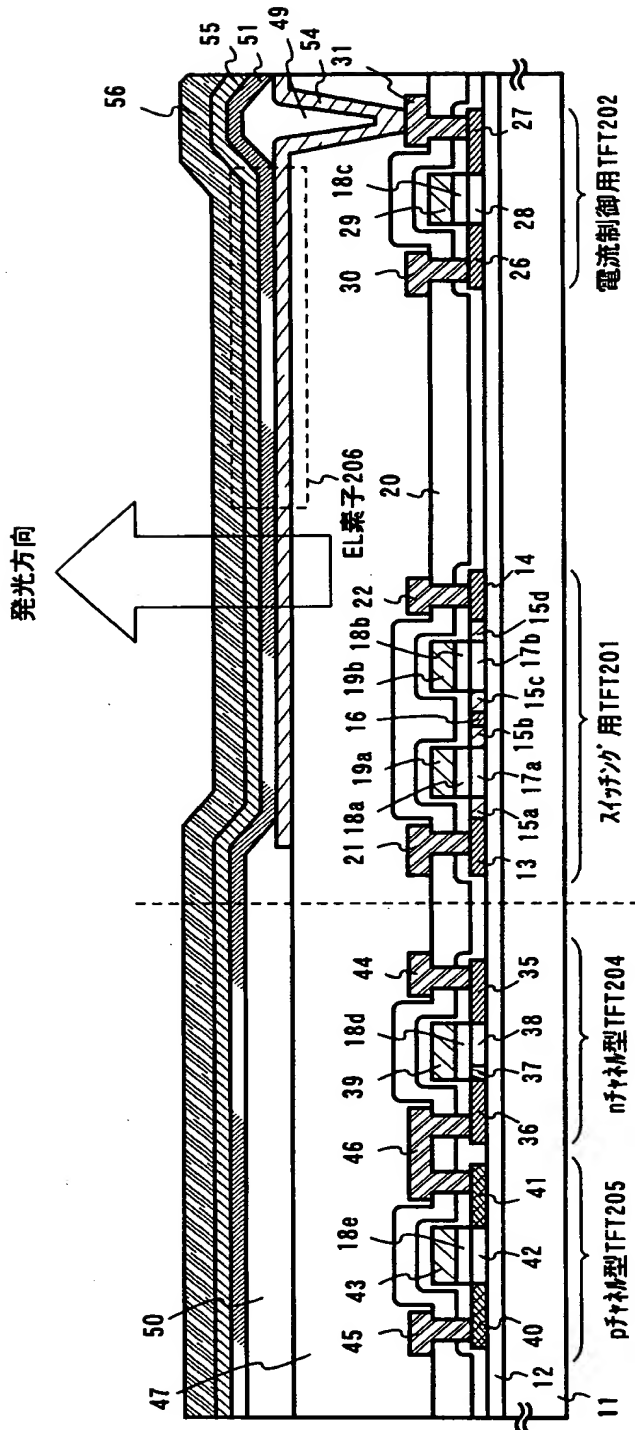
【図 18】



【図 19】

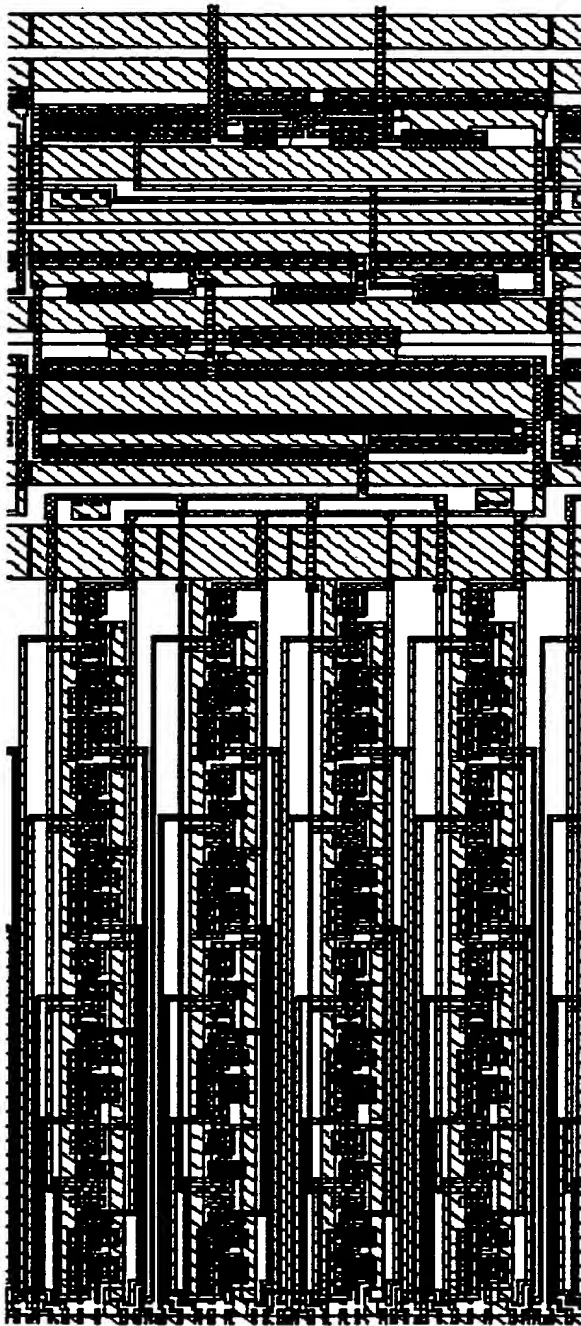


【図20】



11: 基板 12: 下地膜 13: ソース領域 14: ドレイン領域 15a~15d: LDD領域 16: 分離領域 17a, 17b: チャネル形成領域  
 18a~18e: ゲート絶縁膜 19a, 19b: ゲート電極 20: 第1層間絶縁膜 21: ソース配線 22: ドレイン配線 26: ソース領域  
 27: ドレイン領域 28: チャネル形成領域 29: ゲート電極 30: ソース領域 31: ドレイン領域 35: ソース領域 36: ドレイン領域  
 37: LDD領域 38: チャネル形成領域 39: ゲート電極 40: ソース領域 41: ドレイン領域 42: チャネル形成領域 43: ゲート電極  
 44, 45: ソース配線 46: ドレイン配線 47: 第2層間絶縁膜 49, 50: 絶縁膜 51: EL層 55: 正孔輸送層 56: 陽極

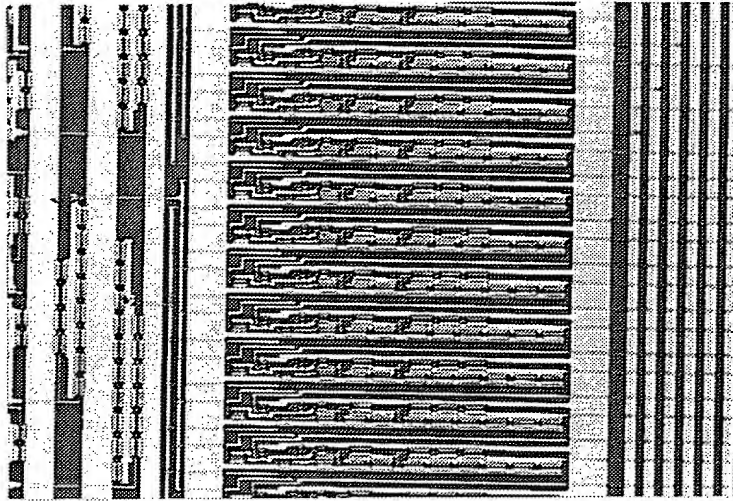
【図 21】



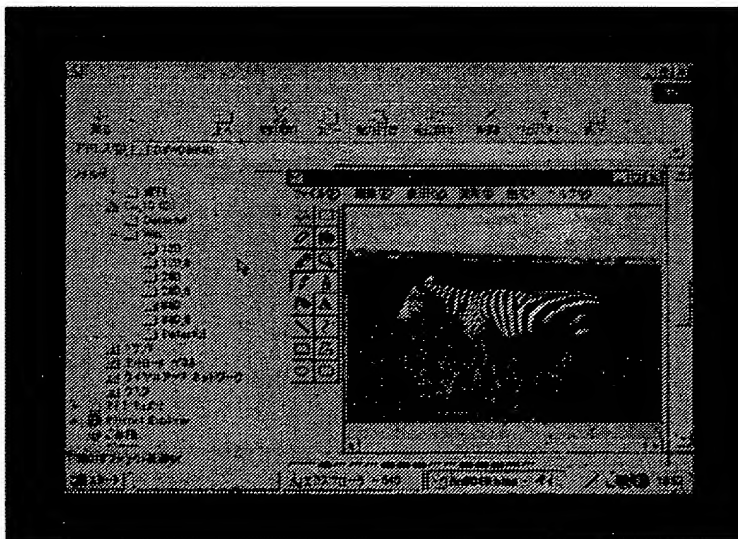


【図 22】

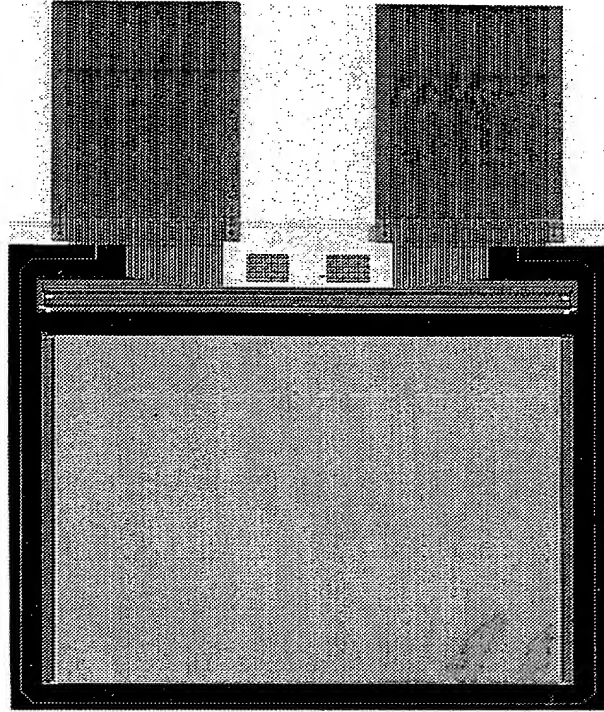
(A)



(B)



【図 2 3】



【図 2 4】

Metal
Alq
$\alpha$ -NPD
CuPc
ITO
Substrate

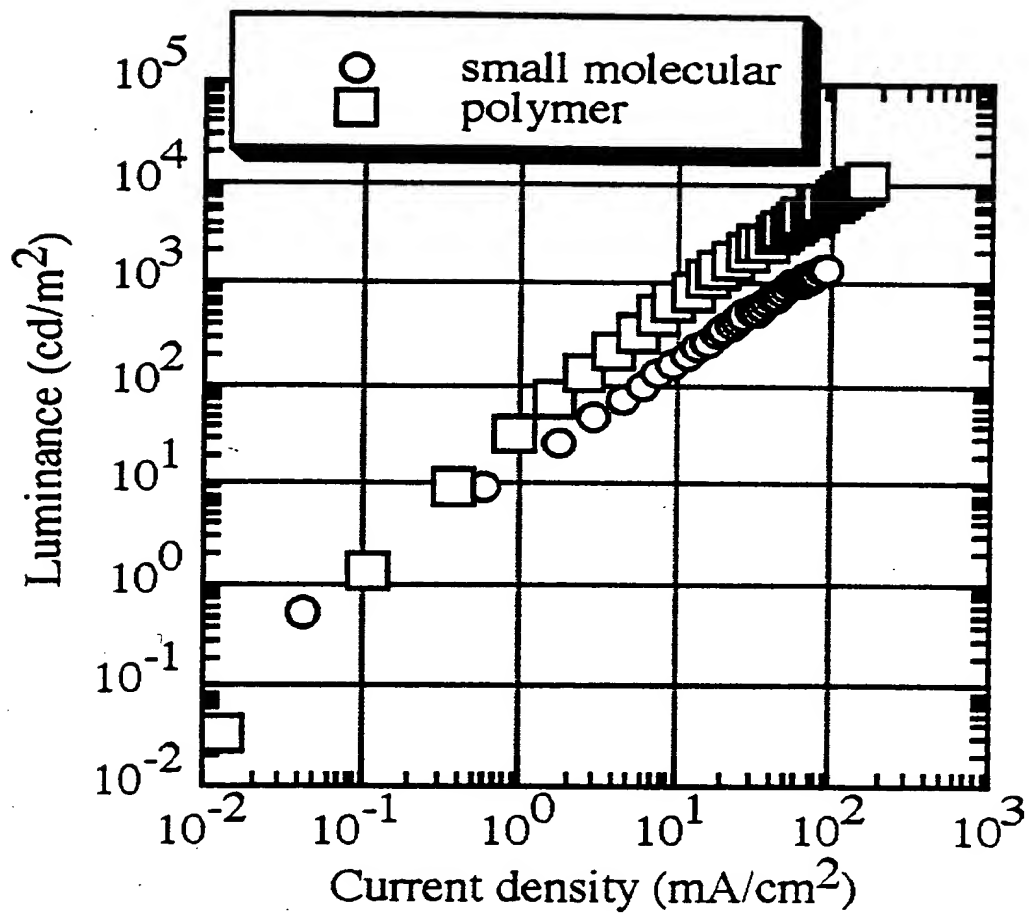
(A)

Metal
Polymer
ITO
Substrate

(B)

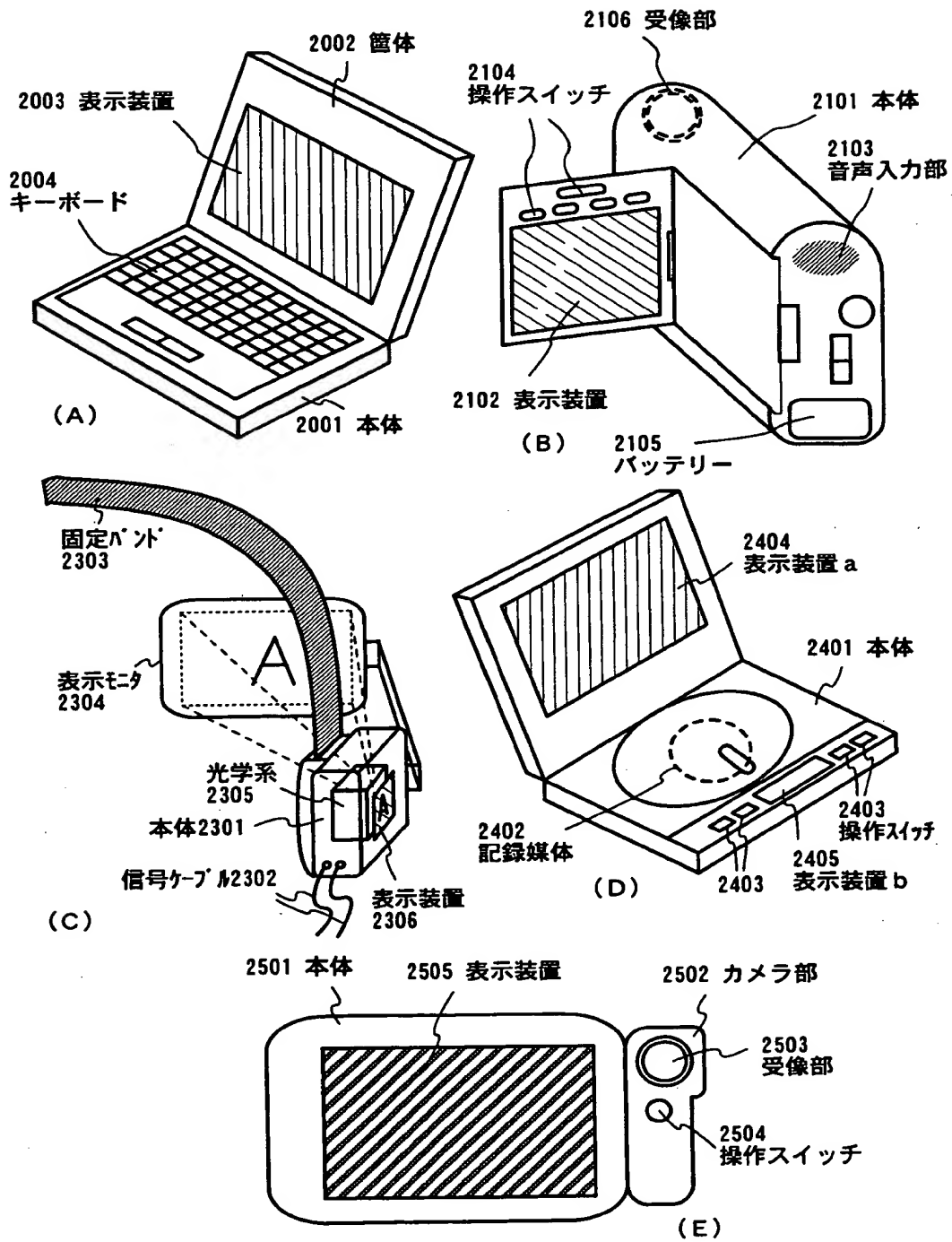
*Structures of OLED*

【図 25】



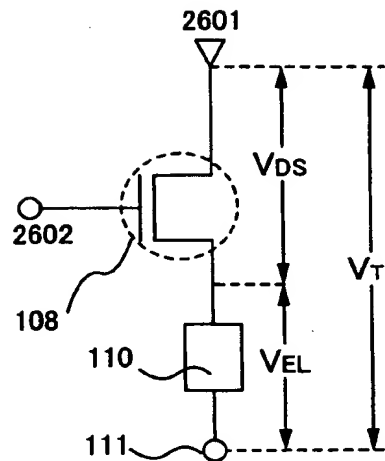
*L-J characteristics for small molecular(open circle) and polymer(open square)*

【図 26】

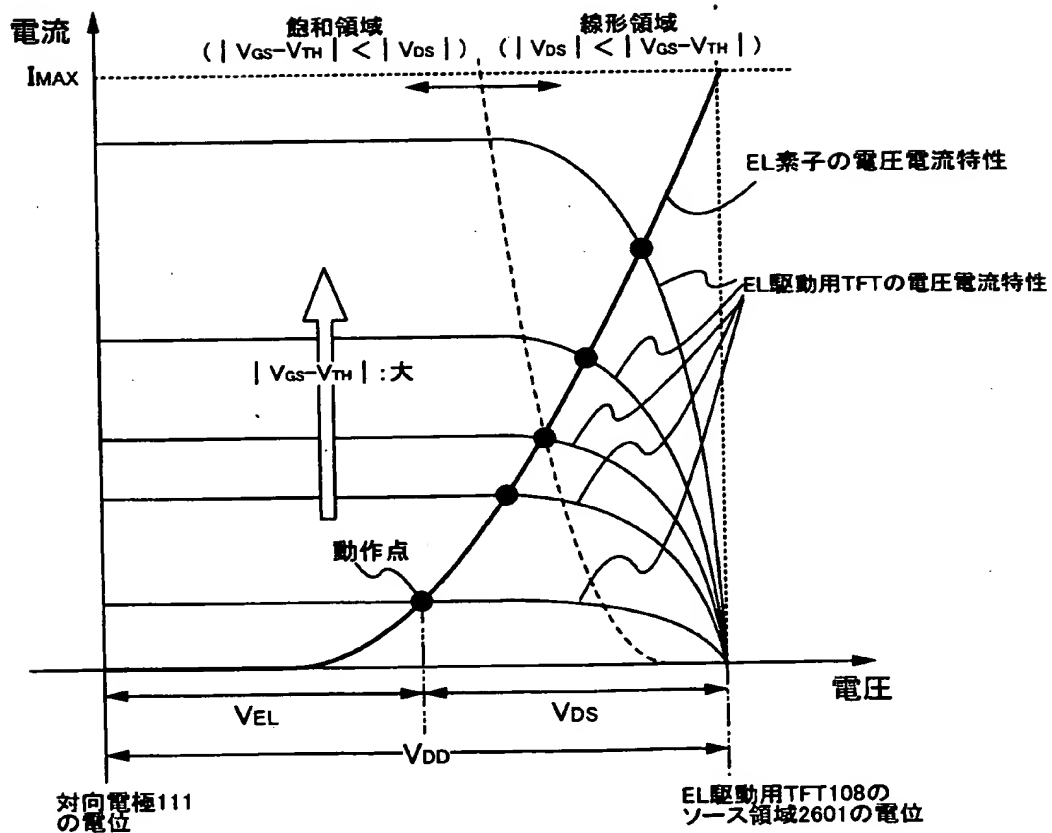


【図 27】

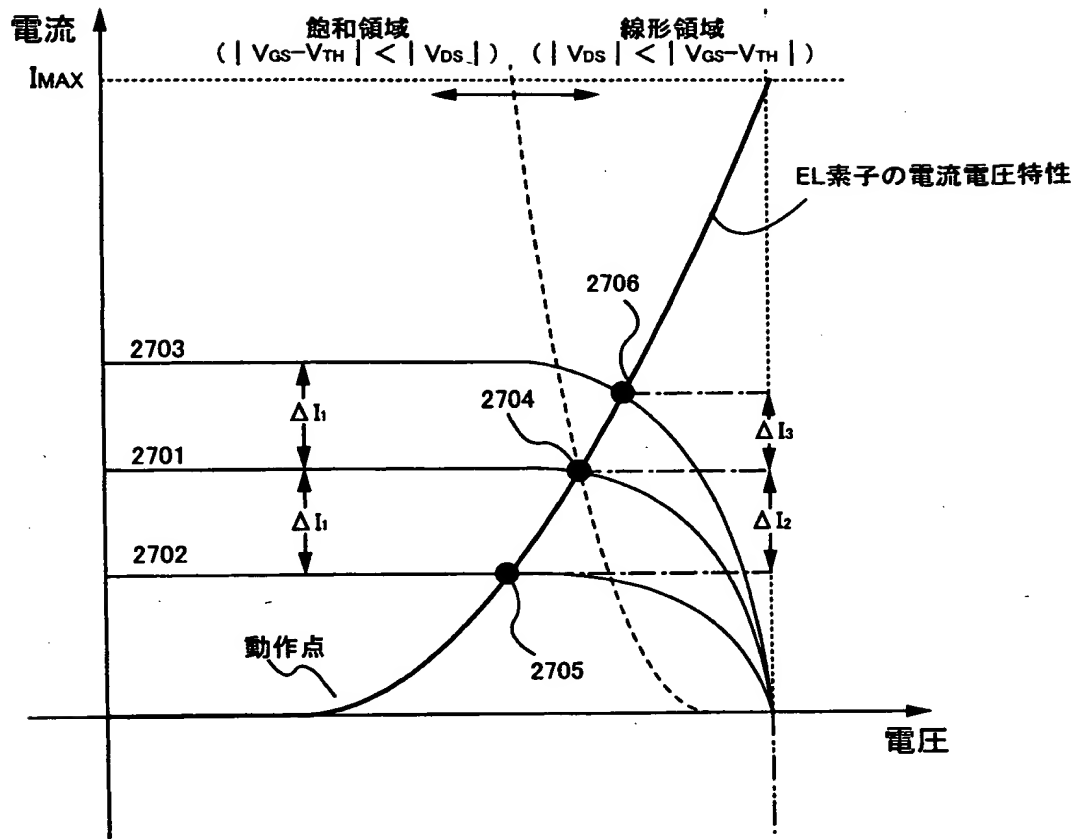
(A)



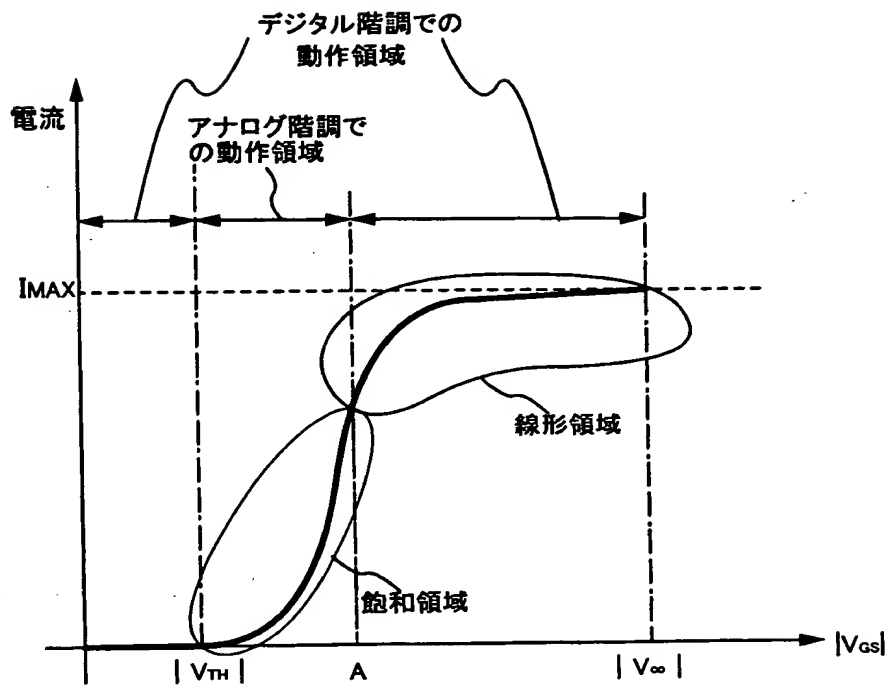
(B)



【図 28】



【図 29】





【書類名】 要約書

【要約】

【課題】 鮮明な多階調カラー表示の可能な自発光装置及びそれを具備する電気器具を提供する。

【解決手段】 画素 1 0 4 に設けられた E L 素子 1 0 9 の発光、非発光を時間で制御する時分割駆動方式により階調表示を行い、電流制御用 T F T 1 0 8 の特性バラツキによる影響を防ぐ。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所